

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-507108

(P2004-507108A)

(43) 公表日 平成16年3月4日(2004.3.4)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/318	H O 1 L 21/318 B	5 F O 3 3
H O 1 L 21/31	H O 1 L 21/31 C	5 F O 4 5
H O 1 L 21/768	H O 1 L 21/90 J	5 F O 5 8

審査請求 有 予備審査請求 有 (全 84 頁)

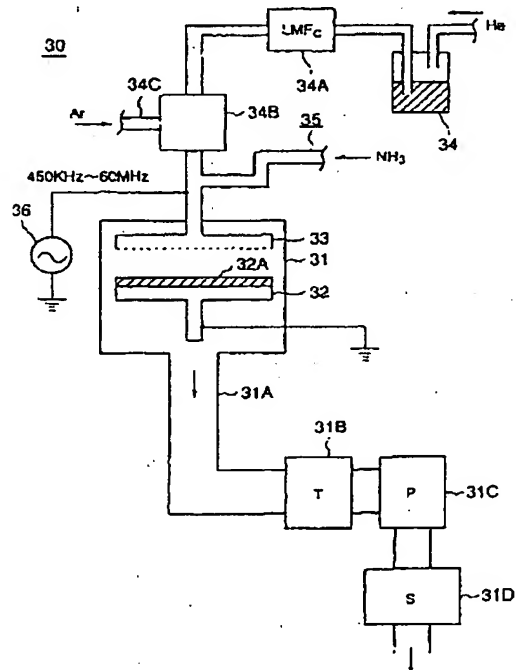
(21) 出願番号	特願2002-521345 (P2002-521345)	(71) 出願人	000219967
(86) (22) 出願日	平成13年8月16日 (2001.8.16)		東京エレクトロン株式会社
(85) 翻訳文提出日	平成15年1月28日 (2003.1.28)		東京都港区赤坂五丁目3番6号
(86) 国際出願番号	PCT/JP2001/007061	(74) 代理人	100070150
(87) 国際公開番号	W02002/017374		弁理士 伊東 忠彦
(87) 国際公開日	平成14年2月28日 (2002.2.28)	(72) 発明者	鄭 基市
(31) 優先権主張番号	特願2000-248922 (P2000-248922)		山梨県韮崎市穂坂町三ツ沢650 東京エ
(32) 優先日	平成12年8月18日 (2000.8.18)		レクトロン株式会社内
(33) 優先権主張国	日本国 (JP)	Fターム(参考)	5F033 HH21 HH32 HH33 HH34 JJ21
			JJ32 JJ33 JJ34 MM02 MM12
			MM13 NN06 NN07 QQ09 QQ11
			QQ25 QQ28 QQ37 RR01 RR06
			RR11 RR25 SS03 SS11 SS15
			TT02 TT04 XX24 XX28

最終頁に続く

(54) 【発明の名称】 低誘電率窒化ケイ素膜およびその形成方法、半導体装置およびその製造装置

(57) 【要約】

窒化ケイ素膜の形成方法は、有機シラザン結合を有する有機Si化合物を原料に使ったCVDプロセスを含む。CVDプロセスは有機Si原料中の有機シラザン結合が窒化ケイ素膜において維持されるような条件で行われる。



【特許請求の範囲】

【請求項1】

反応室中に半導体基板を導入する工程と、
前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、

前記反応室中において、前記半導体基板表面に、前記有機Si化合物の気相原料から、Si、N、C、Hを主たる含有元素とするSiNCH膜を、CVD法により堆積する工程とを含むことを特徴とする窒化ケイ素膜の形成方法。

【請求項2】

前記有機Si化合物は、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基あるいはビニル基などより選ばれる基であり、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有することを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

10

【請求項3】

前記CVD工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるように実行されることを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項4】

前記SiNCH膜を堆積する工程は、前記有機Si化合物のプラズマ重合工程を含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

20

【請求項5】

前記プラズマ重合工程は、前記有機Si化合物中の有機シラザン結合が前記窒化ケイ素膜中に実質的に保存されるようなプラズマパワーで実行されることを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項6】

前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程を含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項7】

前記熱重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるような温度で実行されることを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

30

【請求項8】

さらに前記反応室に、前記有機Si化合物のほかに、Nを含む別の気相原料を供給する工程を含み、前記SiNCH膜を堆積する工程は、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とを含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項9】

基板上にエッチングストップ膜を形成する工程と、
前記エッチングストップ膜上に層間絶縁膜を堆積する工程と、
前記層間絶縁膜をパターニングし、開口部を形成する工程と、
前記層間絶縁膜をエッチングし、前記開口部に対応して前記層間絶縁膜中に凹部を形成する工程と、
エッチングにより前記エッチングストップ膜を、前記開口部のみ選択的に除去する工程とを含む半導体装置の製造方法において、
前記エッチングストップ膜を堆積する工程は、
前記基板を処理装置の反応室中に導入する工程と、
前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、
前記反応室中において前記基板表面に、前記有機Si化合物の気相原料からSi、N、C

40

50

、Hを主なる含有元素とするSiNCH膜を、前記エッチングストップ膜として、CVD法により堆積する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】

前記有機Si化合物は、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基であり、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】

前記SiNCH膜を堆積する工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるように実行されることを特徴とする請求項9記載の半導体装置の製造方法。

10

【請求項12】

前記SiNCH膜を堆積する工程は、前記有機Si化合物のプラズマ重合工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】

前記プラズマ重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるようなプラズマパワーで実行されることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】

前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

20

【請求項15】

前記熱重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるような温度で実行されることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】

さらに前記反応室に、前記有機Si化合物のほかに、Nを含む別の気相原料を供給する工程を含み、前記SiNCH膜を堆積する工程は、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とを含むことを特徴とする請求項9記載の半導体装置の製造方法。

30

【請求項17】

さらに前記層間絶縁膜上に導体層を、前記開口部を介して前記凹部を充填するように形成する工程と、前記導体層のうち、前記層間絶縁膜上に位置する部分を化学機械研磨工程により除去する工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項18】

前記導体層はCu層よりなることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】

前記層間絶縁膜は有機あるいは無機絶縁膜よりなることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項20】

前記層間絶縁膜は有機シリコン酸化膜またはF（フッ素）ドープSiO₂膜よりなることを特徴とする請求項9記載の半導体装置の製造方法。

40

【請求項21】

前記凹部は配線溝およびコンタクトホールを含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項22】

Siに結合した、C_nH_mで表される任意の原子団を含む、Si、N、C、Hを主なる含有元素とする窒化ケイ素膜。

【請求項23】

前記原子団はアルキル基、環状炭化水素基およびビニル基よりなる群より選択されること

50

を特徴とする請求項 2 記載の窒化ケイ素膜。

【請求項 2 4】

基板と、

前記基板上に形成された多層配線構造とよりなる半導体装置において、

前記多層配線構造は、エッチングストップ膜と、前記エッチングストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜中に形成された配線溝と、前記層間絶縁膜中に、前記配線溝に対応して形成されたコンタクトホールと、前記配線溝および前記コンタクトホールを充填する導体パターンとよりなり、

前記エッチングストップ膜は Si, N, C, H を主なる含有元素とする SiNCH 膜よりなり、Si に結合した C_nH_m で表される任意の原子団を含むことを特徴とする半導体装置。

10

【請求項 2 5】

前記原子団は、アルキル基、フェニル基などの環状炭化水素基およびビニル基よりなる群より選択されることを特徴とする請求項 2 4 記載の半導体装置。

【請求項 2 6】

前記 SiNCH 膜は、膜中に有機シラザン結合を含むことを特徴とする請求項 2 4 記載の半導体装置。

【請求項 2 7】

前記 SiNCH 膜は、膜中に環状シラザン結合を有することを特徴とする請求項 2 6 記載の半導体装置。

20

【発明の詳細な説明】

【0001】

技術分野

本発明は一般に半導体装置に係り、特に低い比誘電率絶縁膜を有する半導体装置およびその製造方法に関する。

【0002】

微細化技術の進歩に伴い、今日の先端的な半導体集積回路装置では基板上に莫大な数の半導体素子が形成されている。かかる半導体集積回路装置では、基板上の半導体素子間を接続するのに一層の配線層では不十分であり、複数の配線層を層間絶縁膜を介して積層した、いわゆる多層配線構造が使われている。

30

【0003】

特に最近では、いわゆるデュアルダマシン法による多層配線構造の研究がなされている。デュアルダマシン法では、層間絶縁膜中に配線層に対応した配線溝およびコンタクトホールを予め形成しておき、これを導体で埋めることにより配線層を形成する。かかるデュアルダマシン法では、エッチングストップおよびメタル拡散バリアとなる絶縁膜の果たす役割が重要である。

【0004】

背景技術

デュアルダマシン法には様々な変形が存在するが、図 1 1 A ~ 1 1 F は、従来の典型的なデュアルダマシン法による、多層配線構造の形成方法を示す。

40

【0005】

図 1 1 A を参照するに、Si 基板 1 0 は CVD-SiO₂ などの層間絶縁膜 1 1 により覆われており、前記層間絶縁膜 1 1 上には配線パターン 1 2 A が形成されている。Si 基板 1 0 は、MOS トランジスタ等、図示しない半導体要素を担持している。

【0006】

前記配線パターン 1 2 A は、前記層間絶縁膜 1 1 上に形成された次の層間絶縁膜 1 2 B 中に埋め込まれて配線層 1 2 を形成し、前記配線層 1 2 は、SiN 等のエッチングストップ膜 1 3 により覆われている。前記エッチングストップ膜 1 3 は、さらに次の層間絶縁膜 1 4 により覆われている。

【0007】

50

図11Aの工程では、前記層間絶縁膜14上にフォトリソグラフィ工程により、所望のコンタクトホールに対応した開口部18Aを有するレジストパターン18が形成され、前記レジストパターン18をマスクに前記層間絶縁膜14をドライエッチングにより除去し、前記コンタクトホールに対応した開口部14Aを形成する。

【0008】

次に図11Bの工程において前記レジストパターン18を除去し、図11Cの工程において、前記図11Bの構造上にレジスト膜19が、前記開口部14Aを埋めるように塗布される。これをフォトリソグラフィ法によりパターンニングし、所望の配線パターンに対応したレジスト開口部19Aをレジスト膜19中に形成する。

【0009】

次に図11Dの工程で、さらに前記レジスト膜19をマスクに、前記レジスト開口部19Aにおいて露出した層間絶縁膜14をドライエッチングによりパターンニングし、その後前記レジスト膜19を除去する。かかるパターンニングの結果、図11Dに示すように、前記層間絶縁膜14中には所望の配線溝に対応する開口部14Bおよび開口部14Aが形成される。前記開口部14Bは、前記開口部14Aを含むように形成される。

【0010】

さらに図11Eの工程において、前記エッチングストップ膜13をRIE法によるドライエッチングにより除去し、前記配線パターン12Aを露出する。

【0011】

次に図11Fの工程において、前記配線溝14Bおよび開口部14AをAlあるいはCu等の導電膜で充填し、さらにこれを化学機械研磨(CMP)することにより、配線パターン12Aとコンタクトホール14Aで接続された配線パターン20が得られる。

【0012】

これらの工程をさらに繰り返すことにより、3層目、4層目の配線パターンを形成することが可能である。

【0013】

このような半導体装置で使われる多層配線構造では、前記層間絶縁膜12、14として低い比誘電率の絶縁膜を使うことが、多層配線構造の寄生容量を低減し、半導体装置の動作速度を向上させる上で重要であり、従来より、前記層間絶縁膜12、14へのFをドープしたSiO₂膜(SiOF膜)や有機Si絶縁膜(SiOCH)膜の使用が研究されている。特に有機Si絶縁膜を使った場合、3.0以下の低い比誘電率の値が実現される。

【0014】

このようなデュアルダマシン法による多層配線構造の形成工程においては、先にも説明したようにエッチングストップ膜13の役割も重要である。従来より、かかるエッチングストップ膜として、前記層間絶縁膜14に対して大きなエッチング選択比が確保できる材料として、一般にSiN膜が使われている。デュアルダマシン法においては、前記エッチングストップ膜13は前記大きなエッチング選択比の他に、配線パターンを構成するCu等の金属に対して有効な拡散障壁として作用すること、配線パターンおよび層間絶縁膜に対して優れた密着性を有すること、プラズマアッシング工程あるいはウェットエッチング工程に対して優れた耐性を有することなどが要求される。SiN膜は効果的な拡散障壁として作用することが知られている。

【0015】

一方、従来よりSiN膜はプラズマCVD法により形成されているが、このようにして形成されたSiN膜は約7~8に達する大きな比誘電率を有する。このため前記多層配線構造において層間絶縁膜12、14において低誘電率絶縁膜を使って寄生容量を低減しても、エッチングストップ膜13としてSiN膜を使うと所望の寄生容量の低減は実質的に相殺されてしまう。

発明の開示

そこで、本発明は上記の課題を解決した新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

10

20

30

40

50

【0016】

本発明のより具体的な課題は、低い比誘電率を有する窒化ケイ素膜およびその形成方法を提供することにある。

【0017】

本発明の別の課題は、低い比誘電率を有する窒化ケイ素膜を有する多層配線構造の形成方法を提供することにある。

【0018】

本発明のさらに別の課題は、低い比誘電率を有する窒化ケイ素膜を有する半導体装置を提供することにある。

【0019】

本発明の他の課題は、
反応室中に半導体基板を導入する工程と、
前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、
前記反応室中において、前記半導体基板表面に、前記有機Si化合物の気相原料から、Si, N, C, Hを主なる含有元素とするSiNCH膜を、CVD法により堆積する工程とを含むことを特徴とする窒化ケイ素膜の形成方法により解決する。

【0020】

本発明によれば、有機シラザン結合を有する有機Si化合物を気相原料としたCVD工程により、低密度で低い比誘電率のSiNCH膜(Si, N, C, Hを主なる含有元素とする膜)を形成することが可能である。このようにして形成された低密度SiNCH膜は下地膜に対して優れた密着性を有すると同時に、Cu等の金属原子に対して効果的な拡散障壁として作用する。またプラズマアッシング工程やドライエッチング工程、さらにウェットエッチング工程に対して優れた耐性を示す。

【0021】

本発明において、前記有機Si化合物は、R₁, R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基、nを1以上の整数として、(SiR₁)_nNR₂, (SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有するのが好ましい。また前記CVD工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるように実行されのが好ましい。前記有機Si化合物として、R₁, R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基、nを1以上の整数として、(SiR₁)_nNR₂, (SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有する化合物を使うことにより、前記CVD工程の際に原料化合物中の有機シラザン結合がSiNCH膜中においても保存され、その結果前記窒化ケイ素膜の密度が低下する。

【0022】

前記SiNCH膜を堆積するCVD工程は、前記有機Si化合物のプラズマ重合工程を含むのが好ましく、前記プラズマ重合工程は、前記有機Si化合物中のシラザン結合が前記SiNCH膜中に実質的に保存されるようなプラズマパワーで実行されるのが好ましい。その結果、前記SiNCH膜の密度および比誘電率を効果的に低減することができる。前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程により実行してもよいが、その際には、前記熱重合工程を、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるような温度で実行する必要がある。

【0023】

また、本発明において前記有機Si化合物に、N₂, NH₃などのNを含む別の気相原料を供給する工程を加え、前記SiNCH膜を堆積する工程を、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とにより実行してもよい。かかる工程によれば、前記有機Si化合物に印加されるプラズマパワーはわずかであり、前記有機Si化合物気相原料中に存在していた有機シラザン構造が、形成される窒化

10

20

30

40

50

珪素膜中に効果的に保存される。

【0024】

また本発明において、原料中、あるいは副原料から発生する酸素を含んだSiONCH系の窒化酸化ケイ素を形成することもできるが、酸素量が40%程度以下であれば前記窒化ケイ素膜に近い性能を得ることができる。

【0025】

本発明の他の課題は、
基板上にエッチングストッパ膜を形成する工程と、
前記エッチングストッパ膜上に層間絶縁膜を堆積する工程と、
前記層間絶縁膜をパターンニングし、開口部を形成する工程と、
前記層間絶縁膜をエッチングし、前記開口部に対応して前記層縁膜中に凹部を形成する工程と、
エッチングにより前記エッチングストッパ膜を前記開口部のみ選択的に除去する工程とを含む半導体装置の製造方法において、
前記エッチングストッパ膜を堆積する工程は、
前記基板を処理装置の反応室中に導入する工程と、
前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、
前記反応室中において前記基板表面に、前記有機Si化合物の気相原料からSiNCH膜を、前記エッチングストッパ膜として、CVD法により堆積する工程とを含むことを特徴とする半導体装置の製造方法により、解決する。

10

20

【0026】

本発明によれば、デュアルダマシン法による多層配線構造の形成工程において、エッチングストッパ膜として、有機シラザン結合を有する有機Si化合物原料よりCVD工程により形成されたSiNCH膜が形成される。かかる窒化ケイ素膜は膜中に炭化水素基を含む有機シラザン結合を保持しているため低密度・低比誘電率であり、このような低誘電率窒化ケイ素膜をエッチングストッパに使うことにより、多層配線構造の寄生容量を実質的に低減することができ、半導体装置の動作速度を向上させることができる。また、かかる低誘電率窒化ケイ素膜はエッチング耐性に優れており、デュアルダマシン工程で使われるドライエッチング工程において効果的なエッチングストッパ膜あるいはハードマスク膜として機能する。

30

【0027】

本発明において、前記有機Si化合物は、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有するのが好ましい。また前記CVD工程は、前記有機Si化合物中の有機シラザン結合が前記窒化ケイ素膜中に実質的に保存されるように実行されのが好ましい。前記有機Si化合物として、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有する化合物を使うことにより、前記CVD工程の際に原料化合物中の炭化水素基を含む有機シラザン結合がSiNCH膜中においても保存され、その結果前記SiNCH膜の密度が低下する。

40

【0028】

前記SiNCH膜を堆積するCVD工程は、前記有機Si化合物のプラズマ重合工程を含むのが好ましく、前記プラズマ重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるようなプラズマパワーで実行されるのが好ましい。その結果、前記SiNCH膜の密度および比誘電率を効果的に低減することができる。前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程により実行してもよいが、その際には、前記熱重合工程を、前記有機Si化合物中の有機シラザン結合が

50

前記SiNCH膜中に実質的に保存されるような温度で実行する必要がある。

【0029】

また、本発明において、前記有機Si化合物に、N₂、NH₃などのNを含む別の気相原料を供給する工程を加え、前記SiNCH膜を堆積する工程を、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とにより実行してもよい。かかる工程によれば、前記有機Si化合物に印加されるプラズマパワーはわずかであり、前記有機Si化合物気相原料中に存在していた有機シラザン構造が、形成される窒化ケイ素膜中に効果的に保存される。

【0030】

また本発明において、前記層間絶縁膜上に導体層を、前記開口部を介して前記凹部を充填するように形成し、前記導体層のうち、前記層間絶縁膜上に位置する部分を化学機械研磨工程により除去する工程を行ってもよい。その際、前記導体層はCu層よりなるのが好ましい。前記窒化ケイ素膜はCuに対して優れた拡散障壁として作用するため、Cu層から隣接する層間絶縁膜へのCuの拡散を効果的に抑制することができる。また、前記窒化ケイ素エッチングストップ膜は優れたリーク電流特性を有する。

10

【0031】

前記層間絶縁膜として有機絶縁膜、あるいは、F（フッ素）ドーパSiO₂膜を使用することにより、層間絶縁膜の容量が減少し、多層配線構造全体の寄生容量を低減することが可能になる。前記凹部を配線溝およびコンタクトホールを含むように形成することにより、複雑な配線パターンを形成することができる。

20

【0032】

また本発明は上記の課題を、Siに結合した、C_nH_mで表される任意の原子団を含む、SiNCH系の窒化ケイ素膜により、解決する。

【0033】

本発明によれば、前記窒化ケイ素膜は膜中に炭化水素基を含む有機シラザン結合を含み、その結果、膜の密度が低下し、膜の比誘電率が低下する。前記原子団としては、アルキル基、環状炭化水素基あるいはビニル基を使うことができる。また本発明の窒化ケイ素膜は密着性に優れ、プラズマアッシング、ドライエッチング、あるいはウェットエッチングに対する優れた耐性を有する特徴を有する。さらに窒化ケイ素膜は金属元素の拡散に対して効果的な拡散バリアとして作用し、リーク電流が少ない特徴を有する。

30

【0034】

また本発明は上記の課題を、
基板と、

前記基板上に形成された多層配線構造とよりなる半導体装置において、

前記多層配線構造は、エッチングストップ膜と、前記エッチングストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜中に形成された配線溝と、前記層間絶縁膜中に、前記配線溝に対応して形成されたコンタクトホールと、前記配線溝および前記コンタクトホールを充填する導体パターンとよりなり、

前記エッチングストップ膜はSiNCH膜よりなり、Siに結合したC_nH_mで表される任意の原子団を含むことを特徴とする半導体装置により、解決する。

40

【0035】

本発明によれば、前記窒化ケイ素膜は膜中に炭化水素基を含む有機シラザン結合をもち、その結果、膜の密度が低下し、膜の比誘電率が低下する。このため、かかるエッチングストップ膜を使った多層配線構造では、寄生容量が低下し、半導体装置の動作速度が向上する。前記原子団としては、水素、アルキル基、環状炭化水素基あるいはビニル基を使うことができる。また本発明の窒化ケイ素膜は密着性に優れ、プラズマアッシング、ドライエッチング、あるいはウェットエッチングに対する優れた耐性を有する特徴を有する。また窒化ケイ素膜は、さらに金属元素の拡散に対して効果的な拡散バリアとして作用し、リーク電流が少ない特徴を有する。

【0036】

50

本発明の他の課題および特徴は、図面を参照しながら以下に行う詳細な説明より明らかとなる。

【0037】

発明を実施する最良の態様

〔第1実施例〕

図1は、本発明の第1実施例において使われるプラズマCVD装置30の構成を示す。

【0038】

図1を参照するに、プラズマCVD装置30は排気口31Aおよびトラップ31Bを介してポンプ31Cにより排気される反応室31を有し、前記反応室31中には被処理基板32Aを保持する試料保持台32が設けられる。

10

【0039】

前記反応室31中には前記試料保持台32に対向してシャワーヘッド33が設けられ、前記シャワーヘッド33にはHeにより加圧された原料容器34中に保持された有機Si液体原料が、液体流量コントローラ(LMFC)34Aおよび気化器34Bを順次通った後、ライン34Cを介して供給されるArキャリアガスと共に、第1の気相原料として供給される。

【0040】

前記シャワーヘッド33にはさらにNH₃あるいはN₂が、ライン35を介して第2の気相原料として供給され、前記第1および第2の気相原料は高周波源36からの450kHz〜60MHzの高周波により励起され、プラズマを形成する。

20

【0041】

かかるプラズマの形成に伴い、前記反応室31中においては前記シャワーヘッド33から放出されたプラズマ化した原料物質がプラズマ重合を生じ、前記基板32Aの表面に窒化ケイ素膜の堆積を生じる。

【0042】

また図1の構成において、前記ポンプ31Cの排気は、除害装置31Dを通して環境中に排出される。

【0043】

図2A、2Bは、前記原料容器34中に保持される有機Si原料の構造式の一例を示す。このうち図2Aの例では、前記有機Si原料として1, 1, 3, 3, 5, 5, 7, 7-オクタメチルシクロテトラシラザンが使われ、R₁はメチル基、R₂はHで、Si₄C₈H₂₈N₄で表される化学式を有する。一方、図2Bの例では、ヘキサメチルジシラザン(Si₂C₆H₁₉N)が使われるが、これらは有機シラザン結合を含む代表的な有機Si原料の例である。シラザン結合とは、Si-N-Si結合を有する化合物の総称であるが、この結合にメチル基やエチル基などのアルキル基、フェニール基などの環状炭化水素基、あるいはビニル基などを付加することで、有機シラザン化合物となる。

30

【0044】

有機シラザン化合物の代表的な例を表1にまとめて示す。

【0045】

【表1】

40

化合物名	化学式
トリエチルシラザン	SiC ₆ H ₁₇ N
トリプロピルシラザン	SiC ₉ H ₂₃ N
トリフェニルシラザン	SiC ₁₈ H ₁₇
ジシラザン	Si ₂ H ₇ N
テトラメチルジシラザン	Si ₂ C ₄ H ₁₅ N
ヘキサメチルジシラザン	Si ₂ C ₆ H ₁₉ N
ヘキサエチルジシラザン	Si ₂ C ₁₂ H ₃₁ N
ヘキサフェニルジシラザン	Si ₂ C ₃₆ H ₃₁ N
ヘオタメチルジシラザン	Si ₂ C ₇ H ₂₁ N
ジプロピル-テトラメチルジシラザン	Si ₂ C ₁₀ H ₂₇ N
ジ-n-ブチル-テトラメチルジシラザン	Si ₂ C ₁₂ H ₃₁ N
ジ-n-オクサル-テトラメチルジシラザン	Si ₂ C ₂₀ H ₄₇ N
トリエチル-トリメチルシクロトリシラザン	Si ₃ C ₉ H ₂₇ N ₃
ヘキサメチルシクロトリシラザン	Si ₃ C ₆ H ₂₁ N ₃
ヘキサエチルシクロトリシラザン	Si ₃ C ₁₂ H ₃₃ N ₃
ヘキサフェニルシクロトリシラザン	Si ₃ C ₃₆ H ₃₃ N ₃
オクタメチルシクロテトラシラザン	Si ₄ C ₈ H ₂₈ N ₄
オクタエチルシクロテトラシラザン	Si ₄ C ₁₆ H ₄₄ N ₄
テトラエチル-テトラメチルシクロテトラシラザン	Si ₄ C ₁₂ H ₃₆ N ₄
シアノプロピルメチルシクロシラザン	SiC ₅ H ₁₀ N ₂
テトラフェニルジメチルジシラザン	Si ₂ C ₂₆ H ₂₇ N
ジフェニル-テトラメチルジシラザン	Si ₂ C ₁₆ H ₂₃ N
トリビニル-トリメチルシクロトリシラザン	Si ₃ C ₉ H ₂₁ N ₃
テトラビニル-テトラメチルシクロテトラシラザン	Si ₄ C ₁₂ H ₂₈ N ₄
ジビニル-テトラメチルジシラザン	Si ₂ C ₈ H ₁₉ N

10

20

30

図2A, 2Bを参照するに、前記有機Si原料はメチル基Meを有する有機シラザン結合を含み、一般式 $(SiR_1)_nNR_2$ あるいは $(SiR_1NR_2)_n$ (n は1以上の整数)で表される組成を有する。ただし R_1 , R_2 は一般式 C_mH_{2m+1} (m は0以上の整数)で表され、水素、アルキル基、フェニル基などの環状炭化水素基、ビニル基等よりなる。

40

【0046】

図1のCVD装置30においてかかる有機Si原料を使い、前記被処理基板32Aとして8インチSiウェハを使い、前記Siウェハ上に窒化ケイ素膜の堆積を行った。ただし、前記窒化ケイ素膜の堆積の際に基板温度は200~400°Cに設定し、またプラズマパワーを27MHzの周波数で100~1000Wに設定した。その他の条件を以下の表2にまとめて示す。

【0047】

【表2】

基板温度	200～400℃
プラズマパワー	100～1000W/27MHz
反応室内圧	13.3Pa(100mTorr)
有機Si原料流量	0.1cc/min
NH ₃ 流量	50SCCM
Ar流量	200SCCM
気化器温度	80～120℃

10

このようにして得られた窒化ケイ素膜は、実際にはSiNCH膜であり、3.5～5.5の比誘電率の値を示した。

20

【0048】

前記窒化ケイ素膜の比誘電率の値は、通常のプラズマSiN膜の比誘電率の値が約7～8であることを考えると半分にまで減少している。前記堆積工程においてプラズマパワーを100～300Wと小さく設定していくと前記シャワーヘッド33に供給される気化した有機Si原料が完全には分解せず、図3に示す元の有機シラザン結合が窒化ケイ素膜中により多く保存され、比誘電率が低くなる傾向にある。

【0049】

図3Aは、このようにして形成された窒化珪素膜の構造をFT-IR法で見たものである。

【0050】

30

図3Aを参照するに、形成された窒化珪素膜中には、図2A、2Bの有機シラザン結合に起因する炭化水素構造Si-CH₃およびCH₃が保存されており、その結果膜の密度が減少したと考えられる。プラズマパワーが1000Wの場合と100Wの場合を比較すると、SiNピークに対するSi-CH₃ピークの大きさは100Wのほうが大きくなっており、膜中により多くのSi-CH₃が含まれていることがわかる。従って、前記比誘電率の低下は、かかる膜密度の減少に伴うものと考えられる。

【0051】

図3Bは膜構造の一例の模式図であるが、SiN構造に加えてSi-CH₃、N-H、Si-H結合などが網目構造をなしている。このような有機シラザン原料を用いて、適切なプラズマパワーなどの条件を選ぶことで、形成可能となる。

40

【0052】

このようにして得られたSiNCH膜は、下地膜に対して優れた密着性を有し、また優れたプラズマアッシング耐性、ドライエッチング耐性およびウェットエッチング耐性を有する。このため、本発明によるSiNCH膜は多層配線構造に対して適用が可能である。

【0053】

なお、表2の条件はあくまでも代表的な例に過ぎず、本発明のSiNCH膜は、プラズマパワーを50W～2000Wの範囲に設定し、基板温度を室温から500℃位の範囲に設定し、反応室内圧を1.33Pa(10mTorr)～1.33kPa(10Torr)の範囲に設定し、前記液体有機Si原料の供給量を0.001～10cc/minの範囲に設定することによっても形成することができる。

50

【0054】

さらに、前記SiNCH膜は、図2のプラズマCVD装置30において、前記高周波源35を駆動することなく、熱CVD工程により形成することも可能である。

【0055】

この場合には、基板温度をプラズマCVD工程におけるよりも高く設定する必要があるが、前記有機Si原料中に含まれる有機シラザン結合が形成されるSiNCH膜中に効率よく残留するように、600°C以下に保持する必要がある。

【第2実施例】

図4A～図4Fは、本発明の第2実施例による多層配線構造を有する半導体装置の製造工程を示す。ただし、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0056】

図4Aは先に説明した図11Aの工程に対応し、同様な積層構造が形成されているが、従来のSiNよりなるエッチングストップ膜13の代わりに、図2のプラズマCVD装置を使い、先の図2Aの有機Si原料から出発して表2の条件下で形成したSiNCH膜をエッチングストップ膜23として使う。

【0057】

図4Bの工程において、前記レジストパターン18をマスクに、前記層間絶縁膜14をドライエッチングし、前記レジスト開口部18Aに対応した開口部を形成する。ただし前記レジスト開口部18Aは、前記多層配線構造中に形成したいコンタクトホールに対応している。さらに、前記レジストパターン18を除去する。

【0058】

次に図4Cの工程において、図4Bの構造上にレジスト膜19を新たに塗布し、これをフォトリソグラフィ工程によりパターンニングし、前記多層配線構造中に形成したい配線溝に対応して、レジスト開口部19Aを形成する。

【0059】

次に、図4Dの工程において、前記レジスト膜19をマスクに、前記レジスト開口部19Aにより露出された前記層間絶縁膜14をドライエッチングし、その後前記レジスト膜19を除去する。かかるドライエッチングとレジスト膜除去により、前記開口部14A底部においてSiNCH膜23が露出する。

【0060】

図4Eの工程では、このようにして得られた構造に対してドライエッチングを行い、SiNCH膜23に、前記開口部14Aに対応した開口部14Bを形成する。

【0061】

さらに、図4Fの工程において、前記開口部14Bよりなる配線溝および前記開口部14AよりなるコンタクトホールをはじめにTa、Ta₂N₃、Ta/Ta₂N₃、TiN、WN等のバリアメタル層（図示せず）により覆った後、Cu等の導体層により充填し、さらに前記層間絶縁膜14上の導体層をCMP法により除去することにより、図6Fに示すような、前記下側配線パターン14Bとコンタクトホール14Aにおいてコンタクトした導体パターン20が得られる。

【0062】

前記層間絶縁膜14としては、FドープSiO₂膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SOG、あるいは芳香族系の低誘電率有機絶縁膜を使うのが望ましい。勿論、従来より使われている、CVD-SiO₂膜やSOG膜を、前記層間絶縁膜14として使うことも可能である。しかし、特に前記層間絶縁膜14として低い比誘電率の無機あるいは有機絶縁膜を使った場合、本実施例による多層配線構造は、全体的な誘電率を低下させることが可能になり、半導体装置の高速動作に寄与する。

【0063】

また、本実施例において前記SiNCH膜23は前記低い比誘電率と、優れた密着性、さらに優れたドライエッチング耐性その他、Cuに対する優れた拡散障壁作用および低いリー

10

20

30

40

50

ク電流値を特徴とし、このため高速半導体装置の多層配線構造への適用に特に好都合である。

【第3実施例】

図5A～5Eは、本発明の第3実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0064】

図5Aを参照するに、この工程は先の図4Aの工程と実質的に同じであるが、層間絶縁膜16およびSiNCH膜25、27を付加している。Si基板10上の層間絶縁膜11上に形成された配線層12上に、SiNCH膜23、層間絶縁膜14、SiNCH膜25、層間絶縁膜16およびSiNCH膜27を積層した構成の積層構造体を含み、前記積層構造体上には、レジスト開口部18Aを有するレジストパターン18が形成されている。先の実施例と同様に、前記レジスト開口部18Aは、多層配線構造中に形成したいコンタクトホールに対応している。

【0065】

次に図5Bの工程において、まず前記SiNCH膜27を前記レジストパターン18をマスクにドライエッチングし、前記レジスト開口部18Aに対応した開口部（図示せず）を形成する。

【0066】

このようにして形成された開口部はその下の層間絶縁膜16を露出し、次にこのように露出された層間絶縁膜16をドライエッチングし、前記層間絶縁膜16中に、その下のSiNCH膜25を露出するように、前記レジスト開口部18Aに対応した開口部を形成する。さらに前記露出されたSiNCH膜25に対してドライエッチングを行い、その下の層間絶縁膜14を露出する開口部を、前記レジスト開口部18Aに対応して形成する。

【0067】

さらに前記露出された層間絶縁膜14に対してドライエッチングを行い、開口部14Aを層間絶縁膜14中に、前記レジスト開口部18Aに対応して形成する。このようにして形成された開口部14Aは、前記SiNCH膜27、層間絶縁膜16、さらにSiNCH膜25および層間絶縁膜14を貫通して延在し、前記SiNCH膜23を底部において露出する。

【0068】

次に図5Cの工程において前記レジスト膜18を除去し、図5Bの構造上に新たにレジスト膜19を、前記レジスト膜19が前記開口部14Aを埋めるように塗布し、図5Dの工程において前記レジスト膜19をフォトリソグラフィ法によりパターンニングし、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部19Aを前記レジスト膜19中に形成する。

【0069】

次に図5Eの工程において前記レジスト開口部19Aを形成されたレジスト膜19よりなるレジストパターンをマスクに、前記レジスト開口部19Aにより露出されたSiNCH膜27に対してドライエッチングを行い、前記露出されたSiNCH膜27中に、前記レジスト開口部19Aに対応した開口部を、層間絶縁膜16をエッチング後前記SiNCH膜25が露出するように形成する。さらに前記レジストパターン19を除去することで、前記層間絶縁膜16中に、前記レジスト開口部19Aに対応した、すなわち多層配線構造中に形成したい配線溝に対応した開口部16Aを形成する。

【0070】

前記開口部16Aを形成するドライエッチングは前記SiNCH膜25が露出した時点で停止するが、この後で露出したSiNCH膜27、25および23を除去し、前記開口部16Aおよび14AをCu等の導体層により充填することにより、先に図4Fで説明した多層配線構造が得られる。

【0071】

本実施例においても、前記層間絶縁膜14および16として、FドーパSiO₂膜、Si

10

20

30

40

50

OH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SiOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

【0072】

本実施例においても、前記SiNCH膜23、25、27は前記低い比誘電率と、優れた密着性、さらに優れたドライエッチング耐性の他、Cuに対する優れた拡散障壁作用および低いリーク電流値を特徴とし、このため本発明のSiNCH膜は高速半導体装置の多層配線構造への適用に特に好都合である。

【第4実施例】

図6A～6Eは、本発明の第4実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0073】

図6Aを参照するに、この工程は先の図5Aの工程と実質的に同じであり、Si基板10上の層間絶縁膜11上に形成された配線層12上に、SiNCH膜23、層間絶縁膜14、SiNCH膜25、層間絶縁膜16およびSiNCH膜27を積層した構成の積層構造体を含む。ただし本実施例では前記積層構造体上に、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部28Aを有するレジストパターン28が形成されている。

【0074】

次に図6Bの工程において、まず前記SiNCH膜27を前記レジストパターン28をマスクにドライエッチングし、前記レジスト開口部28Aに対応した開口部（図示せず）を形成する。このようにして形成された開口部はその下の層間絶縁膜16を露出し、次にこのように露出された層間絶縁膜16をドライエッチングし、前記層間絶縁膜16中に、その下のSiNCH膜25を露出するように、前記レジスト開口部28Aに対応した、すなわち形成したい配線溝に対応した開口部16Aを形成する。

【0075】

次に図6Cの工程において前記レジスト膜28を除去し、図6Bの構造上に新たにレジスト膜29を、前記レジスト膜29が前記開口部16Aを埋めるように塗布し、図6Dの工程において前記レジスト膜29をフォトリソグラフィ法によりパターニングし、前記多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部29Aを前記レジスト膜29中に形成する。

【0076】

次に図6Eの工程において前記レジスト開口部29Aを形成されたレジスト膜29よりなるレジストパターンをマスクに、前記レジスト開口部29Aにより露出されたSiOCH膜25に対してドライエッチングを行い、前記露出されたSiNCH膜25中に、前記レジスト開口部29Aに対応した開口部を、その下の層間絶縁膜14が露出するように形成する。さらに前記レジストパターン29を除去した後、前記SiNCH膜27および25をハードマスクに、前記層間絶縁膜14をドライエッチングし、前記層間絶縁膜14中に、前記レジスト開口部29Aに対応した、すなわち多層配線構造中に形成したいコンタクトホールに対応した開口部14Aを形成する。

【0077】

前記開口部14Aを形成するドライエッチングは前記SiNCH膜23が露出した時点で停止するが、この後で露出したSiNCH膜27、25および23を除去し、前記開口部16Aおよび14AをCu等の導体層により充填することにより、先に図6Fで説明した多層配線構造が得られる。

【0078】

本実施例においても、前記層間絶縁膜14および16として、FドープSiO₂膜、SiOH等のHSQ膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機SiOG、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

【0079】

10

20

30

40

50

本実施例においても前記S i N C H膜2 3, 2 5, 2 7は前記低い比誘電率と、優れた密着性、さらに優れたドライエッチング耐性の他、C uに対する優れた拡散障壁作用および低いリーク電流値を特徴とし、このため本発明のS i N C H膜は高速半導体装置の多層配線構造への適用に特に好都合である。

【第5実施例】

図7 A～7 Eは、本発明の第5実施例による半導体装置の製造工程を示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0080】

図7 Aを参照するに、前記S i 基板1 0上の層間絶縁膜1 1上に形成された配線層1 2上には、S i N C H膜2 3, 層間絶縁膜1 4およびS i N C H膜2 5が順次堆積されており、さらに前記S i N C H膜2 5上には前記多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部4 1 Aを有するレジストパターン4 1が形成されている。

10

【0081】

前記レジスト開口部4 1 Aにおいては前記S i N C H膜2 5が露出されており、前記露出されたS i N C H膜2 5はドライエッチングされる。その結果、前記レジスト開口部4 1 Aに対応して開口部2 5 Aが形成される。

【0082】

図7 Bの工程では、さらに前記S i N C H膜2 5上に前記開口部2 5 Aを埋めるように層間絶縁膜1 6を堆積し、さらに前記層間絶縁膜1 6上にS i N C H膜2 7を堆積する。

20

【0083】

次に図7 Cの工程において前記S i N C H膜2 7上にレジスト膜4 2を塗布し、さらに図7 Dの工程において前記レジスト膜4 2をフォトリソグラフィ工程によりパターニングし、前記多層配線構造中に形成したい配線溝に対応した開口部4 2 Aを形成する。

【0084】

さらに図7 Eの工程において前記レジスト膜4 2をマスクに、前記開口部4 2 Aにより露出されたS i N C H膜2 7をドライエッチングし、その下の層間絶縁膜1 6を露出する。

【0085】

次に、前記層間絶縁膜1 6をドライエッチングすることにより、前記層間絶縁膜1 6中に、前記レジスト開口部4 2 Aに対応した、すなわち形成したい配線溝に対応した開口部1 6 Aが形成される。前記層間絶縁膜1 6のエッチングは前記S i N C H膜2 5が形成されている部分では、前記S i N C H膜2 5の露出と同時に停止するが、膜2 5中に前記開口部2 5 Aが形成されている部分では、ドライエッチングは前記開口部2 5 Aを通してその下の層間絶縁膜1 4中に侵入し、その結果前記層間絶縁膜1 4中に前記開口部2 5 Aに対応した、すなわち前記多層配線構造中に形成したいコンタクトホールに対応した開口部1 4 Aが形成される。

30

【0086】

前記開口部1 4 Aを形成するドライエッチングは前記S i N C H膜2 3が露出した時点で停止するが、この後で露出したS i N C H膜2 7, 2 5および2 3を除去し、前記開口部1 6 Aおよび1 4 AをC u等の導体層により充填することにより、先に図6 Fで説明した多層配線構造が得られる。

40

【0087】

本実施例においても、前記層間絶縁膜1 4および1 6として、FドープS i O₂膜、S i O H等のH S Q膜、あるいは多孔質膜等の無機低誘電率絶縁膜、あるいは有機S O G、あるいは芳香族系の低誘電率有機絶縁膜を使うことができ、その結果本実施例による多層配線構造では、全体的な誘電率が低下し、これにより半導体装置の動作速度が向上する。

【0088】

本実施例においても、前記S i N C H膜2 3, 2 5, 2 7は低い比誘電率と、優れた密着性、さらに優れたドライエッチング耐性の他、C uに対する優れた拡散障壁作用および低いリーク電流値を特徴とし、このため本発明のS i N C H膜は高速半導体装置の多層配線構造への適用に特に好都合である。

50

【第6実施例】

図8A～8Eは、いわゆるクラスタードハードマスクを使った、本発明の第6実施例による多層配線構造を有する半導体装置の製造工程を示す。ただし図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

【0089】

本実施例では前記配線パターン12Aを含む配線層12上にSiNCH膜23、層間絶縁膜14、SiNCH膜25、層間絶縁膜16、およびSiNCH膜27が他の実施例と同様に順次積層され、さらに前記SiNCH膜27上にSiO₂膜43がプラズマCVD法により、あるいはスピンコーティングにより形成され、前記SiO₂膜43上には、多層配線構造中に形成したいコンタクトホールに対応したレジスト開口部18Aを有するレジスト膜18が形成される。前記SiNCH膜27およびSiO₂膜43は、いわゆるクラスタードハードマスク構成を形成する。

10

【0090】

図8Aの工程では、さらに前記SiO₂膜43に対してレジスト膜18をマスクとしてドライエッチングが施され、その結果前記SiO₂膜43中に前記レジスト開口部18Aに対応してその下のSiNCH膜27を露出する開口部が形成される。さらに前記露出されたSiNCH膜27をドライエッチングすることにより、前記SiNCH膜27中には、図8Bに示すように前記レジスト開口部18Aに対応して前記層間絶縁膜16を露出する開口部27Aが形成される。

【0091】

図8Bの工程では、さらに前記SiO₂膜43上に、前記多層配線構造中に形成したい配線溝に対応したレジスト開口部19Aを有するレジスト膜19が、前記SiO₂膜43を露出するように形成されており、図8Cの工程において前記露出したSiO₂膜43が、前記レジスト膜19をマスクにドライエッチングすることにより、除去される。その際前記SiNCH膜27がエッチングストップとして作用し、その結果図8Cに示すように、前記SiO₂膜43中には、前記レジスト開口部19Aに対応した開口部43Aが、前記SiNCH膜27を露出するように形成される。

20

【0092】

図8Cの工程では、前記SiO₂膜43のドライエッチングと同時に、前記開口部27Aにおいて前記層間絶縁膜16のドライエッチングも進行し、その結果、前記層間絶縁膜16中に、前記開口部27Aに対応した開口部16Aが形成される。この工程では、前記SiNCH膜27がハードマスクとして使われる。前記開口部16AにおいてはSiNCH膜25が露出される。

30

【0093】

次に、図8Dの工程において前記開口部43Aにおいて露出しているSiNCH膜27および前記開口部16Aにおいて露出しているSiNCH膜25をドライエッチングにより除去し、前記開口部43Aにおいて層間絶縁膜16を、また前記開口部16Aにおいて層間絶縁膜14を露出する。

【0094】

さらに図8Eの工程において前記開口部43Aにおいて露出している層間絶縁膜16および前記開口部16Aにおいて露出している層間絶縁膜14をドライエッチングにより除去し、前記層間絶縁膜16中に、前記レジスト開口部19Aに対応した、すなわち形成したい配線溝に対応した開口部16Bを、また前記層間絶縁膜14中に前記レジスト開口部14Aに対応した、すなわち形成したいコンタクトホールに対応した開口部14Aを形成する。

40

【0095】

さらに図8Eの構造において露出したSiNCH膜27、25および23を除去し、前記開口部16Aおよび14AをCu等の導体層により充填することにより、先に図6Fで説明した多層配線構造が得られる。

【0096】

50

本実施例においても、前記SiNCH膜23, 25, 27は前記低い比誘電率と、優れた密着性、さらに優れたドライエッチング耐性の他、Cuに対する優れた拡散障壁作用および低いリーク電流値を特徴とし、このため本発明のSiNCH膜は、高速半導体装置の多層配線構造への適用に特に好都合である。

【第7実施例】

図9は、本発明の第7実施例による半導体装置50の構成を示す。

【0097】

図9を参照するに、前記半導体装置50は図示しない能動素子を形成されたSi基板51と、前記Si基板51上に前記能動素子を覆うように形成された絶縁膜52と、前記絶縁膜52上に形成された第1層目の配線パターン53Aと、前記絶縁膜52上に前記配線パターン53Aを覆うように形成された層間絶縁膜53と、前記層間絶縁膜53上に形成された第2層目の配線パターン54Aと、前記層間絶縁膜53上に前記配線パターン54Aを覆うように形成された層間絶縁膜54とよりなり、前記層間絶縁膜54の表面は窒化ケイ素パッシベーション膜55により覆われている。

10

【0098】

図10は、前記窒化ケイ素パッシベーション膜55の形成工程を示す。

【0099】

図10を参照するに、前記半導体装置50はステップ1において前記層間絶縁膜54が形成された時点でスピコート装置中に導入され、前記層間絶縁膜54の表面に、前記パッシベーション膜55に対応して、例えば組成が $(\text{SiH}_2\text{NH})_n$ 、 n は1以上の整数の有機シラザン化合物のスピコート膜を形成する。さらにステップ1では、このようにして形成されたスピコート膜を 100°C 以下の温度でベーク処理することにより溶媒を除去し、安定した窒化ケイ素膜を形成する。

20

【0100】

ただし、図10のステップ1の工程で形成された窒化ケイ素膜は一般にOを含むことが避けられず、本実施例ではステップ2の工程において前記半導体装置50を例えば図2のプラズマCVD装置のようなプラズマ処理装置中に導入し、 NH_3 、 N_2 、 H_2 など、NとHとを含むプラズマガスにより、前記窒化ケイ素膜55の表面を処理し、膜中のOを部分的にNで置換する。その際、本実施例においては、前記スピコート膜55中において重合が完了するよりも前にステップ2のプラズマ処理を行う。

30

【0101】

かかるプラズマ処理の結果、前記窒化ケイ素膜55はSiNCHあるいはSiONCHで表される化学式を有し、優れた耐熱性、耐薬品性を有する膜に変化する。

【0102】

従来はステップ1の工程の後、 N_2 雰囲気中において熱処理を行うことにより、所望の酸窒化ケイ素膜を得ることができるが、かかる工程では表面の十分改質に 400°C を超える高い温度が必要であった。また、かかる高い温度にもかかわらず、改質の効果が不十分であった。

【0103】

これに対し、本実施例では前記スピコート膜55中の重合反応が完了するよりも前にステップ2のプラズマ処理を行うため、効果的な表面改質反応を低温で行うことが可能になる。かかるプラズマ処理は、例えば NH_3 と SiH_4 とをプラズマガスに使い、基板温度を 350°C 以下に設定し、プラズマパワーを $100\sim1000\text{W}$ 程度に設定して実行するのが好ましい。前記プラズマ処理の条件は、膜55中のOH基が減少し、Nの結合が増加するように設定するのが好ましい。

40

【0104】

また、本実施例では、ステップ2の工程がスピコート膜55中の重合反応が完了するよりも前に実行されるように、ステップ1のベーク工程を 100°C 以下の温度において行っている。またステップ1およびステップ2の工程は、連続して行うことができるように、枚葉式の処理装置により行うのが好ましい。

50

【0105】

さらに、ステップ2の工程は、プラズマ処理に限定されるものではなく、NおよびHを含む雰囲気中における熱処理工程により行ってもよい。例えばNH₃あるいはN₂およびH₂を含む雰囲気中において前記ステップ2の熱処理工程を、400°C以上の温度で行うことができる。

【0106】

以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

【0107】

産業上の利用可能性

本発明によれば、有機シラザン結合を有する有機Si化合物を原料としたCVD工程により、窒化ケイ素膜を、膜中に原料中の有機シラザン結合が実質的に保存されるような条件で形成することにより、低密度で低い比誘電率を有し、優れた密着性とエッチング耐性を有し、Cu等の金属元素に対して効果的な拡散障壁として作用するSiNCH系の窒化ケイ素膜が得られる。また、かかる窒化ケイ素膜を使って、寄生容量の小さい多層配線構造を形成することが可能になる。

【図面の簡単な説明】

【図1】本発明の第1実施例で使われるプラズマCVD装置の構成を示す図である。

【図2A】本発明の第1実施例で使われる有機シラザン結合を有する有機Si化合物の構造例を示す図である。

【図2B】本発明の第1実施例で使われる有機シラザン結合を有する有機Si化合物の構造例を示す図である。

【図3A】本発明の第1実施例で得られる窒化ケイ素膜の構造の一例を示す概略図である。

【図3B】本発明の第1実施例で得られる窒化ケイ素膜の構造の一例を示す概略図である。

【図4A】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図4B】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図4C】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図4D】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図4E】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図4F】本発明の第2実施例による半導体装置の製造工程を示す図である。

【図5A】本発明の第3実施例による半導体装置の製造工程を示す図である。

【図5B】本発明の第3実施例による半導体装置の製造工程を示す図である。

【図5C】本発明の第3実施例による半導体装置の製造工程を示す図である。

【図5D】本発明の第3実施例による半導体装置の製造工程を示す図である。

【図5E】本発明の第3実施例による半導体装置の製造工程を示す図である。

【図6A】本発明の第4実施例による半導体装置の製造工程を示す図である。

【図6B】本発明の第4実施例による半導体装置の製造工程を示す図である。

【図6C】本発明の第4実施例による半導体装置の製造工程を示す図である。

【図6D】本発明の第4実施例による半導体装置の製造工程を示す図である。

【図6E】本発明の第4実施例による半導体装置の製造工程を示す図である。

【図7A】本発明の第5実施例による半導体装置の製造工程を示す図である。

【図7B】本発明の第5実施例による半導体装置の製造工程を示す図である。

【図7C】本発明の第5実施例による半導体装置の製造工程を示す図である。

【図7D】本発明の第5実施例による半導体装置の製造工程を示す図である。

【図7E】本発明の第5実施例による半導体装置の製造工程を示す図である。

【図8A】本発明の第6実施例による半導体装置の製造工程を示す図である。

【図8B】本発明の第6実施例による半導体装置の製造工程を示す図である。

10

20

30

40

50

- 【図8C】本発明の第6実施例による半導体装置の製造工程を示す図である。
 【図8D】本発明の第6実施例による半導体装置の製造工程を示す図である。
 【図8E】本発明の第6実施例による半導体装置の製造工程を示す図である。
 【図9】本発明の第7実施例による半導体装置の構成を示す図である。
 【図10】本発明の第7実施例による半導体装置の製造工程を示す図である。
 【図11A】従来の半導体装置の製造工程を示す図である。
 【図11B】従来の半導体装置の製造工程を示す図である。
 【図11C】従来の半導体装置の製造工程を示す図である。
 【図11D】従来の半導体装置の製造工程を示す図である。
 【図11E】従来の半導体装置の製造工程を示す図である。
 【図11F】従来の半導体装置の製造工程を示す図である。

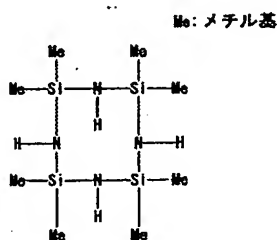
10

【符号の説明】

- 10, 51 Si基板
 11 CVD膜
 12 配線層
 12A, 53A, 54A 配線パターン
 12B 絶縁膜
 13, 15, 17, 43 エッチングストップ膜
 14, 16, 52, 53, 54 層間絶縁膜
 14A, 16A, 25A, 43A ハードマスク開口部
 18, 19, 28, 29, 41, 42 レジスト膜
 18A, 19A, 28A, 29A, 41A, 42A レジスト開口部
 20 導体パターン
 23, 25, 27 SiNCHエッチングストップ膜
 55 パッシベーション膜

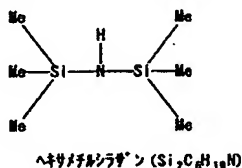
20

【図2A】

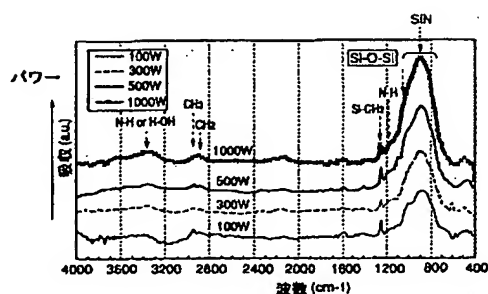


1,1,3,3,5,5,7,7-オクタメチルシクロテトラザン
 ($\text{Si}_4\text{C}_8\text{H}_{16}\text{N}_4$)

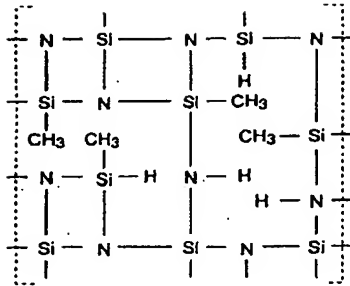
【図2B】



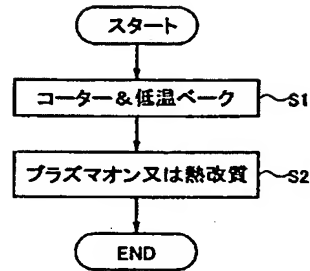
【図3A】



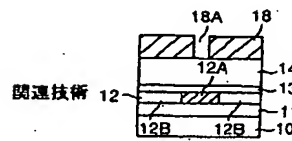
【図 3 B】



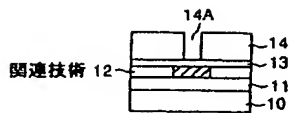
【図 10】



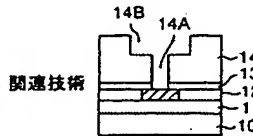
【図 11 A】



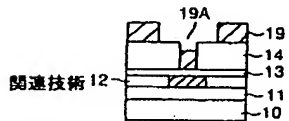
【図 11 B】



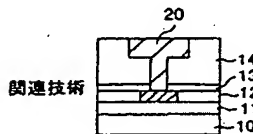
【図 11 E】



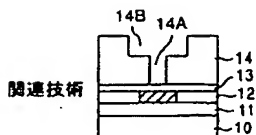
【図 11 C】



【図 11 F】



【図 11 D】



WO 02/17374 A1

[illegible]

Published:
with international search report

DESCRIPTION

LOW-DIELECTRIC SILICON NITRIDE FILM AND METHOD OF
FORMING THE SAME, SEMICONDUCTOR DEVICE AND5 FABRICATION PROCESS THEREOFTECHNICAL FIELD

The present invention generally relates to semiconductor devices and more particularly to a semiconductor device having a low-dielectric insulation film and fabrication process thereof.

With advancement in the art of device miniaturization, recent leading-edge semiconductor integrated circuits include enormous number of semiconductor device elements therein. In such large-scale semiconductor integrated circuits, it is not sufficient to use a single interconnection layer for interconnecting the semiconductor device elements therein, and thus, it is generally practiced to provide a multilayer interconnection structure, in which a plurality of interconnection layers are stacked with each other with interlayer insulation films interposed therebetween, for interconnecting the semiconductor device elements.

Particularly, extensive investigations are being made on the process of forming a multilayer interconnection structure by using a dual damascene process. In a dual damascene process, interconnection grooves and contact holes are formed in advance in an interlayer insulation film and the interconnection grooves and the contact holes thus formed are filled by a conducting material. In such a dual damascene process, the role of the insulation film that is

provided in the multilayer interconnection structure as an etching stopper and simultaneously as a metal diffusion barrier is extremely important.

5 BACKGROUND ART

While there are various modifications in the art of dual damascene process, FIGS. 11A - 11F show a typical conventional method of forming a multilayer interconnection structure that uses a dual
10 damascene process.

Referring to FIG. 11A, a Si substrate 10 is covered by an interlayer insulation film 11 of a CVD-SiO₂ film, and the like, and an interconnection pattern 12A is formed on the interlayer insulation
15 film 11. The Si substrate 10 carries thereon various semiconductor device elements such as MOS transistors not illustrated.

The interconnection pattern 12A is embedded in a next interlayer insulation film 12B formed on the interlayer insulation film 11 to form an
20 interconnection layer 12, wherein the interconnection layer 12 is covered by an etching stopper film 13 such as an SiN film. The etching stopper film 13 is further covered by a next interlayer insulation film
25 14.

In the step of FIG. 11A, a resist pattern 18 is formed on the interlayer insulation film 14 by a photolithographic process such that the resist pattern 18 has an opening 18A corresponding to a
30 contact hole to be formed, and the interlayer insulation film 14 is removed by a dry etching process while using the resist pattern 18 as a mask. As a result of the dry etching process, there is

WO 02/17374

PCT/JP01/07061

- 3 -

formed an opening 14A in the interlayer insulation film 14 in correspondence to the contact hole to be formed.

Next, in the step of FIG.11B, the resist pattern 18 is removed and a resist film 19 is formed on the structure of FIG.11B in the step of FIG.11C so as to fill the contact hole 14A. By patterning the resist film 19 thus formed by a lithographic process, a resist opening 19A is formed in the resist film 19 in correspondence to the interconnection pattern to be formed.

Next, in the step of FIG.11D, the exposed part of the interlayer insulation film 14 exposed at the resist opening 19A is patterned by a dry etching process while using the resist film 19 as a mask. Thereafter, the resist film 19 is removed. As a result of such a patterning process, an opening 14B is formed in the interlayer insulation film 14 in correspondence to the desired interconnection groove in addition to the contact hole 14A.

Next, in the step of FIG.11E, the etching stopper film 13 is removed by a dry etching process that uses an RIE process, and the interconnection pattern 12A is exposed.

Next, in the step of FIG.11F, the interconnection groove 14B and the opening 14A are filled by a conductive film of Al or Cu. By applying a chemical mechanical polishing (CMP) process to the structure thus obtained, an interconnection pattern 20 is obtained in electric connection with the interconnection pattern 12A by the contact hole 14A.

By repeating the foregoing process steps, it is possible to form third and forth

interconnection patterns.

In such multilayer interconnection structure for use in a semiconductor device, it is important to use a low-dielectric insulation film for the interlayer insulation films 12 and 14 so as to reduce the stray capacitance of the multilayer interconnection structure. By reducing the stray capacitance, the operational speed of the semiconductor device is improved. Thus, various attempts have been made to use a low-dielectric material for the interlayer insulation film 12 or 14, such as F-doped SiO₂ film (SiOF film), organic Si insulation film (SiOCH film), and the like. By using an organic Si insulation film, in particular, it is possible to realize a specific dielectric constant of 3.0 or less.

In such a process of forming a multilayer interconnection structure by a dual damascene process, the role of the etching stopper film 13 is important as noted previously. Conventionally, a SiN film, which shows a large etching selectivity with regard to the interlayer insulation film 14, is used extensively for this purpose. In the art of dual damascene process, the etching stopper film 13 is not only required to have a large etching selectivity but also to act as an effective barrier against diffusion of metals such as Cu that constitute the interconnection pattern. Further, the etching stopper film is required to have excellent adhesion with regard to the interconnection pattern and further to the interlayer insulation film. In addition, the etching stopper film is required to have excellent resistance against plasma ashing process or wet

etching process. It is known that an SiN film functions as an efficient diffusion barrier.

Conventionally, an SiN film has been formed easily by a plasma CVD process. On the other hand, an SiN film thus formed has a large dielectric constant of 7 - 8. Thus, the effect the stray capacitance reduction achieved in the multilayer interconnection structure by the use of low-dielectric insulation film for the interlayer insulation films 12 and 14 is substantially cancelled out by the use of the SiN etching stopper film 13.

DISCLOSURE OF THE INVENTION

Accordingly, it is a general object of the present invention to provide a novel and useful semiconductor device and fabrication process thereof wherein the foregoing problems are eliminated.

Another and more specific object of the present invention is to provide a low-dielectric nitride film and fabrication process thereof.

Another object of the present invention is to provide a method of forming a multilayer interconnection structure that uses a low-dielectric silicon nitride film.

Another object of the present invention is to provide a semiconductor device having a low-dielectric silicon nitride film.

Another object of the present invention is to provide a method of forming a silicon nitride film, comprising the steps of:

introducing a substrate in a reaction chamber;

supplying an organic Si compound having an

WO 02/17374

PCT/JP01/07061

- 6 -

organic silazane bond therein into said processing chamber as a gaseous source;

depositing an SiNCH film containing Si, N, C and H as primary constituent elements on a surface of said substrate from said gaseous source by a CVD process.

According to the present invention, it becomes possible to form a low-density SiNCH film (a film containing Si, N, C and H as primary or major constituent elements) by the CVD process that uses the organic Si compound containing therein an organic silazane bond as the source material. The low-density SiNCH film thus formed is characterized by a low-dielectric constant and has excellent adhesion with respect to an underlying layer. The low-density SiNCH film further functions as an efficient diffusion barrier against metal atoms such as Cu. The low-density SiNCH film shows excellent resistance against plasma ashing process, dry etching process or wet etching process.

In the present invention, it is preferable that the organic Si compound has a structural formula of $(\text{SiR}_1)_n\text{NR}_2$, $(\text{SiR}_1\text{NR}_2)_n$ or $(\text{SiR}_1(\text{NR}_2)_{1.5})_n$, wherein n is an integer of 1 or more and each of R_1 and R_2 may be hydrogen or a group selected from an alkyl group such as methyl group, a cyclic hydrocarbon group such as a phenol group or a vinyl group. It is preferable to carry out the CVD process such that the silazane bond in the organic Si compound is substantially preserved in the SiNCH film. By using a compound having the structural formula of $(\text{SiR}_1)_n\text{NR}_2$, $(\text{SiR}_1\text{NR}_2)_n$ or $(\text{SiR}_1(\text{NR}_2)_{1.5})_n$ (R_1 and R_2 being hydrogen or a group selected from an alkyl group such as methyl group, a

WO 02/17374

PCT/JPO1/07061

- 7 -

cyclic hydrocarbon group such as a phenol group or a vinyl group, n being an integer of 1 or more), the organic silazane bond in the source compound is preserved in the SiNCH film during the CVD process, and the SiNCH film shows a reduced density.

Preferably, the CVD process for depositing the SiNCH film includes a plasma polymerization process of the organic Si compound. It is further preferable that the plasma polymerization process is conducted under a plasma power in which the silazane bond in the organic Si compound is preserved substantially in the SiNCH film. By doing so, the density and specific dielectric constant of the SiNCH film is reduced effectively. In the case the step of depositing the SiNCH film is conducted by a pyrolytic polymerization process of the organic Si compound, it is necessary to set the temperature such that the organic silazane bond in the organic Si compound is substantially preserved in the deposited SiNCH film.

In the present invention, the SiNCH film may be deposited by an alternative process of adding an additional gaseous source containing N such as N_2 or NH_3 to the foregoing organic Si compound, forming plasma of the additional gaseous source, and supplying the plasma into the reaction chamber. According to such a process, only a small plasma power is provided to the organic source compound and the organic silazane structure in the organic Si compound is preserved in the silicon nitride film.

In the present invention, it is also possible to form a silicon oxynitride film of SiONCH system that contains oxygen, which may be released from the source material or a subsidiary source

WO 02/17374

PCT/JP01/07061

- 8 -

material. When the content of oxygen in the film is 40% or less, the silicon oxynitride film shows a property similar to that of the silicon nitride film explained before.

5 Another object of the present invention is to provide a method of fabricating a semiconductor device, comprising the steps of:

forming an etching stopper film on a substrate;

10 depositing an interlayer insulation film on said etching stopper film;

patterning said interlayer insulation film to form an opening;

15 etching said interlayer insulation film to form a depression in said interlayer insulation film in correspondence to said opening; and

etching said etching stopper film selectively from said opening by an etching process, said step of depositing said etching

20 stopper film comprising the steps of:

introducing said substrate into a reaction chamber of a processing apparatus;

25 supplying an organic Si compound containing an organic silazane bond therein into said reaction chamber as a gaseous source; and

depositing an SiNCH film in said processing chamber on a surface of said substrate from said organic Si compound by a CVD process as said etching stopper film.

30 According to the present invention, a SiNCH film formed by a CVD process from a source material of an organic Si compound containing therein an organic silazane bond is used as silicon nitride

WO 02/17374

PCT/JP01/07061

- 9 -

etching stopper when forming a multilayer interconnection structure by a dual damascene process. The silicon nitride film thus formed preserves therein the organic silazane bond in the source material, wherein the organic silazane bond includes a hydrocarbon group therein. Thus, the silicon nitride film thus formed is characterized by a low density and is has a characteristically low dielectric constant. By using such a low-dielectric silicon nitride film for the etching stopper, the stray capacitance of the multilayer interconnection structure is reduced substantially and the operational speed of the semiconductor device is improved accordingly. The low-dielectric silicon nitride film thus formed has a further advantageous feature of excellent etching resistance, and thus, the low-dielectric silicon nitride film can be used as an effective etching stopper film or hard mask film in the dry etching process during the dual damascene process.

In the present invention, too, it is preferable that the organic Si compound has a structural formula of $(SiR_1)_nNR_2$, $(SiR_1NR_2)_n$ or $(SiR_1(NR_2)_{1.5})_n$, wherein n is an integer of 1 or more and each of R_1 and R_2 may be hydrogen or a group selected from an alkyl group such as methyl group, a cyclic hydrocarbon group such as a phenol group, or a vinyl group. It is preferable to carry out the CVD process such that the silazane bond in the organic Si compound is substantially preserved in the SiNCH film. By using a compound having the structural formula of $(SiR_1)_nNR_2$, $(SiR_1NR_2)_n$ or $(SiR_1(NR_2)_{1.5})_n$ (R_1 and R_2 being hydrogen or a group selected from an alkyl

WO 02/17374

PCT/JP01/07061

- 10 -

group such as methyl group, a cyclic hydrocarbon group such as a phenol group or a vinyl group, n being an integer of 1 or more), the organic silazane bond in the source compound is reserved in the SiNCH film during the CVD process, and the SiNCH film shows a reduced density.

Preferably, the CVD process for depositing the SiNCH film includes a plasma polymerization process of the organic Si compound. It is further preferable that the plasma polymerization process is conducted under a plasma power in which the silazane bond in the organic Si compound is preserved substantially in the SiNCH film. By doing so, the density and specific dielectric constant of the SiNCH film is reduced effectively. In the case the step of depositing the SiNCH film is conducted by a pyrolytic polymerization process of the organic Si compound, it is necessary to set the temperature such that the organic silazane bond in the organic Si compound is substantially preserved in the deposited SiNCH film.

In the present invention, the SiNCH film may be deposited by an alternative process of adding an additional gaseous source containing N such as N₂ or NH₃ to the foregoing organic Si compound, forming plasma of the additional gaseous source, and supplying the plasma into the reaction chamber. According to such a process, only a small plasma power is provided to the organic source compound and the organic silazane structure in the organic Si compound is preserved in the silicon nitride film.

In the present invention, it is also possible to apply a process for depositing a conductor layer on the interlayer insulation film so

WO 02/17374

PCT/JP01/07061

- 11 -

as to fill the depression via the opening and for removing the part of the conductor layer locating above the interlayer insulation film by a chemical mechanical polishing process. Thereby, it is preferable that the conductor layer is formed of Cu. As the silicon nitride film functions as an efficient diffusion barrier against Cu, such a structure can effectively suppress the diffusion of Cu from the Cu layer to the adjacent interlayer insulation film.

Further, the silicon nitride etching stopper film thus formed has excellent leakage characteristic.

By using an organic insulation film or a F-doped SiO₂ film for the interlayer insulation film, the capacitance of the interlayer insulation film is decreased and the overall stray capacitance of the multilayer interconnection structure is reduced. By forming the foregoing depression so as to include an interconnection groove or contact hole, various complex interconnection patterns can be formed.

Another object of the present invention is to provide a silicon nitride film in a system of SINCH, said silicon nitride film containing therein an arbitrary atomic group represented as C_nH_m, said atomic group being bonded to a Si atom.

According to the present invention, the silicon nitride film contains therein an organic silazane bond, while the organic silazane bond in turn contains therein a hydrocarbon group. The silicon nitride film of the present invention has a characteristically low film density and associated feature of low dielectric constant. The atomic group may be any of an alkyl group, a cyclic hydrocarbon group or a vinyl group. The silicon nitride film of

the present invention has an advantageous feature of excellent adhesion and resistance against various processes such as plasma ashing process, dry etching process or wet etching process. The silicon nitride film further functions as an effective diffusion barrier and is characterized by small leakage current.

Another object of the present invention is to provide a semiconductor device, comprising:

- a substrate; and
- 10 a multilayer interconnection structure formed on said substrate,
- said multilayer interconnection structure comprising an etching stopper film, an interlayer insulation film formed on said etching stopper film,
- 15 an interconnection groove formed in said interlayer insulation film, a contact hole formed in said interlayer insulation film in correspondence to said interconnection groove, and a conductor pattern filling said interconnection groove and said contact
- 20 hole,

wherein said etching stopper film comprises a SiNCH film and contains therein an arbitrary atomic group represented as C_nH_m , said arbitrary atomic group being bonded to a Si atom.

- 25 According to the present invention, the silicon nitride film contains therein an organic silazane bond, while the organic silazane bond contains therein a hydrocarbon group. As a result, the density of the silicon nitride film is reduced, and the dielectric constant is reduced accordingly.
- 30 Thus, the stray capacitance of the multilayer interconnection structure is reduced and the operational speed of the semiconductor device is

improved. For the atomic group, any of hydrogen, an alkyl group, a cyclic hydrocarbon group or a vinyl group can be used. The silicon nitride film of the present invention shows excellent adhesion and
5 resistance against plasma etching process, dry etching process or wet etching process. Further, the silicon nitride film of the present invention functions as efficient diffusion barrier against diffusion of metal element. Further, the silicon nitride film of
10 the present invention has an advantageous feature of reduced leakage current.

Other objects and further features of the present invention will become apparent from the following detailed description when read in
15 conjunction with the attached drawings.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG.1 is a diagram showing the construction of plasma CVD apparatus used in a first embodiment of
20 the present invention;

FIGS.2A and 2B are diagrams showing examples of organic silazane bond used in the first embodiment of the present invention;

FIGS.3A and 3B are diagrams showing an
25 example of a silicon nitride film structure obtained in the first embodiment of the present invention;

FIGS.4A - 4F are diagrams showing the fabrication process of a semiconductor device according to a second embodiment of the present
30 invention;

FIGS.5A - 5E are diagrams showing the fabrication process of a semiconductor device according to a third embodiment of the present

WO 02/17374

PCT/JPO107061

- 14 -

invention;

FIGS. 6A - 6E are diagrams showing the fabrication process of a semiconductor device according to a fourth embodiment of the present invention;

FIGS. 7A - 7E are diagrams showing the fabrication process of a semiconductor device according to a fifth embodiment of the present invention;

FIGS. 8A - 8E are diagrams showing the fabrication process of a semiconductor device according to a sixth embodiment of the present invention;

FIG. 9 is a diagram showing the construction of a semiconductor device according to a seventh embodiment of the present invention;

FIG. 10 is a diagram showing the fabrication process of the semiconductor device of the seventh embodiment;

FIGS. 11A - 11F are diagrams showing the fabrication process of a conventional semiconductor device.

BEST MODE FOR IMPLEMENTING THE INVENTION

[FIRST EMBODIMENT]

FIG. 1 shows the construction of a plasma CVD apparatus 30 used in a first embodiment of the present invention.

Referring to FIG. 1, the plasma CVD apparatus 30 includes a reaction chamber 31 evacuated by a pump 31C via an evacuation port 31A and a trap 31B, wherein the reaction chamber 31 accommodates therein a stage 32 for holding a substrate 32A to be

processed.

In the processing chamber 31, there is provided a showerhead 33 so as to face the stage 32, wherein the showerhead 33 is supplied with a liquid
5 state organic Si source from a container 34. More specifically, the container 34 is pressurized by a He gas and the liquid state organic Si source therein is supplied to the showerhead 33 as a first gaseous source via a liquid mass-flow controller 34A and a
10 vaporizer 34B together with an Ar carrier gas that is supplied from a line 34C.

Further, the showerhead 33 is supplied with an NH₃ gas or an N₂ gas via a line 35 as a second gaseous source, and plasma excitation is caused in
15 the first and second gaseous sources by supplying thereto a radio-frequency power of 450 kHz - 60 MHz from a radio-frequency power supply 36.

With formation of the plasma, there occurs plasma-polymerization in the reaction chamber 31 as the source materials are discharged from the
20 showerhead 33, and the source materials thus supplied undergo plasma excitation. As a result of the plasma excitation, there occurs a deposition of silicon nitride film on the surface of the substrate 32A.

25 In the construction of FIG.1, it should be noted that the pump 31C is connected to a scrubber unit 31D, and the exhaust of the pump 31C is discharged to the environment after being processed by the scrubber unit 31D.

30 FIGS.2A and 2B show the structural formula of an exemplary organic Si source material held in the source container 34, wherein FIG.2A shows the case in which 1,1,3,3,5,5,7,7-

octamethylcyclotetrasilazane is used for the organic Si source. In FIG.2A, R_1 is a methyl group while R_2 is hydrogen. Thus, the organic Si source has a chemical formula of $Si_4C_8H_{24}N_4$. In the example of FIG.2B, on the other hand, hexamethyldisilazane ($Si_2C_6H_{18}N$) is used for the organic Si source. It should be noted that these are representative examples of the organic Si source that contains therein organic silazane bond. A silazane bond is a general term used for the compounds that contain therein the Si-N-Si bond. An organic silazane compound is derived by adding an alkyl group such as methyl group or ethyl group, or a cyclic hydrocarbon group such as phenyl group, or a vinyl group to the Si-N-Si bond.

Examples of the organic silazane compounds are summarized in TABLE I below.

WO 02/17374

- 17 -

PCT/JPO107061

TABLE I

5	Triethylsilazane	SiC6H17N
	Tripropylsilazane	SiC9H23N
	Triphenylsilazane	SiC18H17
	Disilazane	Si2H7N
	Tetramethyldisilazane	Si2C4H15N
10	Hexamethyldisilazane	Si2C6H19N
	Hexamethyldisilazane	Si2C12H31N
	Hexaphenyldisilazane	Si2C36H31N
	Heptamethyldisilazane	Si2C7H21N
	Dipropyl-tetramethyldisilazane	Si2C10H27N
	Di-n-butyl-tetramethyldisilazane	Si2C12H31N
	Di-n-octyl-tetramethyldisilazane	Si2C20H47N
15	Triethyl-trimethylcyclotrisilazane	Si3C9H27N3
	Hexamethylcyclotrisilazane	Si3C6H21N3
	Hexamethylcyclotrisilazane	Si3C12H33N3
	Hexaphenylcyclotrisilazane	Si3C36H33N3
	Octamethylcyclotetrasilazane	Si4C8H28N4
	Octamethylcyclotetrasilazane	Si4C16H44N4
20	Tetraethyl-tetramethylcyclotetrasilazane	Si4C12H36N4
	Cyanopropylmethylcyclosilazane	SiC5H10N2
	Tetraphenyldimethyldisilazane	Si2C26H27N
	Diphenyl-tetramethyldisilazane	Si2C16H23N
25	Trivinyl-trimethylcyclotrisilazane	Si3C9H21N3
	Tetravinyl-tetramethylcyclotetrasilazane	Si4C12H28N4
	Divinyl-tetramethyldisilazane	Si2C8H19N

30 Referring to FIGS. 2A and 2B, the foregoing organic Si source contains an organic silazane bond having a methyl group Me and has a composition represented by a general formula of $(SiR_1)_3NR_2$ or

(SiR₁NR₂)_n, wherein n is an integer of 1 or more, while R₁ and R₂ have a general formula of C_mH_{2m+1} (m being an integer larger than zero) and may be any of hydrogen atom, an alkyl group, a cyclic hydrocarbon group such as a phenyl group or a vinyl group.

Using the organic Si source noted above as a source, deposition of a silicon nitride film was conducted on an 8-inch Si wafer in the CVD apparatus 30 of FIG.1 while using the Si wafer as the substrate 32A. The deposition of the silicon nitride film was conducted at a substrate temperature of 200 - 400°C while supplying a plasma power of 100 - 1000 W at the frequency of 27 MHz. Detailed conditions are summarized in TABLE II below.

15

TABLE II

substrate temperature	200 - 400°C
plasma power	100 - 1000W/27MHz
chamber pressure	13.3Pa (100 mTorr)
organic Si source flow rate	0.1 cc/min
NH ₃ flow rate	50 SCCM
Ar flow rate	200 SCCM
vaporizer temperature	80 - 120°C

The silicon nitride film thus obtained is actually an SiNCH film and has a specific dielectric constant of 3.5 - 5.5.

It should be noted that the value of the specific dielectric constant of the silicon nitride film has decreased to one-half in view of the fact that an ordinary plasma SiN film has a specific dielectric constant of about 7 - 8. By using a small plasma power of 100 - 300 W in the foregoing

deposition process, the vaporized organic Si compound supplied from the shower head 33 is not completely decomposed in the reaction chamber 31, and the organic silazane bond in the organic source is substantially preserved in the silicon nitride film thus deposited on the Si wafer. Because the existence of the organic silazane bond causes a decrease of density in the deposited SiN film, there occurs also a decrease of specific dielectric constant in the deposited SiN film.

FIG.3A shows the structure of the silicon nitride film thus formed as observed by an FT-IR method.

Referring to FIG.3A, it can be seen that the silicon nitride film thus formed preserves therein the hydrocarbon structure of Si-CH₃ or CH₃, originating from the organic silazane bond of FIG.2A or 2B, while the hydrocarbon structure in the silicon nitride film reduces the density and hence the specific dielectric constant of the silicon nitride film.

FIG.3A further indicates that the relative height of the peak corresponding to the Si-CH₃ bond with respect to the peak corresponding to the SiN-bond increases when the plasma power of 100 W is used as compared with the case of using the plasma power of 1000 W. This result clearly indicates that the silicon nitride film formed with the plasma power of 100 W contains the Si-CH₃ bond with increased concentration as compared with the silicon nitride film formed with the plasma power of 1000 W. Thus, it is concluded that the desired decrease of the specific dielectric constant has been caused as a

WO 02/17374

PCT/JPO1/07061

- 20 -

result of the decrease of the film density in the deposited silicon nitride film.

FIGS.3B shows a schematic structure of the silicon nitride film thus formed.

5 Referring to FIG.3B, the silicon nitride film includes, in addition to the usual Si-N structure, the Si-CH₃ bond, N-H bond, Si-H bond, and the like that form together a network structure. The silicon nitride film having such a network structure
10 can be formed from the organic silazane source while choosing the condition such as plasma power appropriately.

It should be noted that the SINCH film thus obtained shows excellent adhesion with respect to an
15 underlying film. Further, the SINCH film shows excellent resistance against plasma ashing, dry etching and wet etching. Thus, the SINCH film of the present invention can be used successfully in a multilayer interconnection structure.

20 It should be noted that TABLE II merely shows a typical example, and the SINCH film of the present invention can be formed also by setting the plasma power in the range of 50 - 2000 W, the substrate temperature in the range from room
25 temperature to 500°C, the process pressure in the range of 1.33 - 1.33 kPa (10 mTorr - 10 Torr), or the supply rate of the liquid state organic Si source in the range of 0.001 - 10 cc/min.

Further, it is also possible to form the
30 SINCH film by a pyrolytic CVD process. For example, such a pyrolytic CVD process may be conducted in the plasma CVD apparatus 30 of FIG.2 without energizing the radio-frequency power supply 36.

In this case, the substrate temperature is set higher than the substrate temperature used in the plasma CVD process. However, the substrate temperature should not exceed 600°C. Otherwise, the organic silazane bond contained in the organic Si source would not be preserved in the SiNCH film.

[SECOND EMBODIMENT]

FIGS. 4A - 4F show the fabrication process of a semiconductor device having a multilayer interconnection structure according to a second embodiment of the present invention, wherein those parts corresponding to the parts described previously are designated by the same reference numerals and the description thereof will be omitted.

FIG. 4A corresponds to the step of FIG. 11A explained before and there is formed a similar layered structure, except that an SiNCH film formed from the organic Si source of FIG. 2A by the plasma CVD apparatus of FIG. 2 under the condition of TABLE II is used for an etching stopper film in place of the etching stopper film 13.

In the step of FIG. 4B, the interlayer insulation film 14 is subjected to a dry etching process while using the resist pattern 18 as a mask, and an opening corresponding to the resist opening 18A is formed in the interlayer insulation film 14. After formation of the opening, the resist pattern 18 is removed.

Next, in the step of FIG. 4C, a resist film 19 is formed newly on the structure of FIG. 4B, wherein the resist film 19 is patterned subsequently by a photolithographic patterning process to form a

resist opening 19A corresponding the interconnection pattern to be formed in the multilayer interconnection structure.

Next, in the step of FIG.4D, the interlayer insulation film 14 etched away by a dry etching process in the part exposed by the resist opening 19A while using the resist film 19 as a mask, and the resist film 19 itself is removed thereafter. As a result of the foregoing dry etching process and the resist removal process, the SiNCH film 23 is exposed at the bottom part of the opening 14A.

Next, in the step of FIG.4E, a dry etching process is applied to the structure thus obtained and an opening 14B is formed in the SiNCH film 23 in correspondence to the opening 14A.

Further, in the step of FIG.4F, the interconnection groove thus formed by the opening 14B and the contact hole thus formed by the opening 14A are covered by a barrier metal layer (not illustrated) of Ta, TaN, Ta/TaN, TiN, WN, and the like and are filled subsequently by a conductor layer such as a Cu layer. By removing the conductor layer covering the interlayer insulation film 14 by a CMP process, a conductor pattern 20 that makes a contact with the underlying interconnection pattern 14B at the contact hole 14A is obtained as represented in FIG.6F.

For the interlayer insulation film 14, it is possible to use an inorganic low-dielectric insulation film such as a F-doped SiO₂ film, an HSQ film such as an SiOH film or a porous insulation film. Alternatively, it is possible to use a low-dielectric organic insulation film such as an organic SOG film

or a low-dielectric organic insulation film of aromatic family for the interlayer insulation film 14. Of course, it is possible to use conventional CVD-SiO₂ films or SOG films for the interlayer insulation film 14. By using a low-dielectric inorganic or organic insulation film for the interlayer insulation film 14 in the multilayer interconnection structure, it becomes possible to reduce the overall dielectric constant of the multilayer interconnection structure and the operational speed of the semiconductor device is improved.

It should be noted that the SINCH film 23 of the present embodiment has various properties such as excellent adhesion, excellent dry etching resistance, excellent performance as diffusion barrier to Cu, low leakage current, and the like, suitable for use in a multilayer interconnection structure of a high-speed semiconductor device.

[THIRD EMBODIMENT]

FIGS. 5A - 5E are diagrams showing the fabrication process of a semiconductor device according to a third embodiment of the present invention, wherein those parts corresponding to the parts described previously are designated by the same reference numerals and the description thereof will be omitted.

Referring to FIG. 5A, the step is substantially identical with the step of FIG. 4A explained before, except that there are further provided an interlayer insulation film 16 and SINCH films 25 and 27.

More specifically, the layered structure of

FIG. 5A includes, in addition to the interlayer insulation film 11 formed on the Si substrate 10 and the interconnection layer 12 formed on the interlayer insulation film 11, the SiNCH film 23, the interlayer insulation film 14, the SiNCH film 25, the interlayer insulation film 16 and the SiNCH film 27 such that the films 23 - 27 are stacked consecutively, and the resist pattern having the resist opening 18A is now provided on the layered structure thus formed.

Similarly to the previous embodiment, the resist opening 18A corresponds to the contact hole to be formed in the multilayer interconnection structure.

Next, in the step of FIG. 5B, the SiNCH film 27 is subjected to a dry etching process while using the resist pattern 18 as a mask, and an opening (not shown) is formed therein in correspondence to the resist opening 18A.

The opening thus formed exposes a part of the underlying interlayer insulation film 16, and the exposed part of the interlayer insulation film 16 is subjected to a dry etching process. As a result, there is formed an opening in the interlayer insulation film 16 in correspondence to the resist opening 18A so as to expose a part of the underlying SiNCH film 25. By applying a dry etching process to the SiNCH film 25 thus exposed, an opening exposing the underlying interlayer insulation film 14 is formed in correspondence to the resist opening 18A.

Further, by applying a dry etching process to the interlayer insulation film 14 thus exposed, the opening 14A is formed in the interlayer insulation film 14 in correspondence to the resist opening 18A. The opening 14A thus formed extends

consecutively through the SiNCH film 27, the interlayer insulation film 16, the SiNCH film 25 and the interlayer insulation film 14 and exposes the SiNCH film 23 at the bottom part thereof.

5 Next, in the step of FIG.5C, the resist film 18 is removed and another resist film 19 is formed on the structure of FIG.5B by a spin-coating process such that the resist film 19 fills the opening 14A, and the resist film 19 is subjected to a
10 photolithographic patterning process in the step of FIG.5D. As a result, the resist opening 19A is formed in the resist film 19 in correspondence to the interconnection groove to be formed in the multilayer interconnection structure.

15 Next, in the step of FIG.5E, the SiNCH film 27 is subjected to a dry etching process in the part exposed by the resist opening 19A while using the resist film 19 as a mask, and there is formed an opening in the SiNCH film 27 in correspondence to the
20 resist opening 19A such that the opening exposes the underlying interlayer insulation film 16. The interlayer insulation film 16 thus exposed is then applied with a dry etching process until the underlying SiNCH film 25 is exposed. As a result, the
25 opening 16A is formed in the interlayer insulation film 16 corresponding to the interconnection groove to be formed in the multilayer interconnection structure in correspondence to the resist opening 19A. Thereafter, the resist opening 19A is removed.

30 It should be noted that the dry etching process that is used for forming the opening 16A stops upon exposure of the SiNCH film 25. The multilayer interconnection structure explained

previously with reference to FIG.4F is then obtained by removing the exposed SINCH films 27, 25 and 23 and further filling the opening 16A and 14A by a conductor layer such as a Cu layer.

5 In the present embodiment, too, it is possible to use any of the low-dielectric inorganic insulation films such as a F-doped SiO₂ film, a HSQ film such as a SiOH film or a porous film, or the low-dielectric organic insulation films such as an
10 organic SOG film or an organic insulation film of aromatic family, for the interlayer insulation films 14 and 16. In the multilayer interconnection structure of the present embodiment, the overall dielectric constant is reduced and the operational
15 speed of the semiconductor device is improved.

In the present embodiment, too, the SINCH films 23, 25 and 27 are characterized by low specific dielectric constant, excellent adhesion, excellent dry etching resistance, excellent performance as
20 diffusion barrier of Cu, and low leakage current. Thus, the SINCH films of the present invention are ideal for use in a multilayer interconnection structure of a high-speed semiconductor device.

25 [FOURTH EMBODIMENT]

FIGS.6A - 6E show the fabrication process of a semiconductor device according to a fourth embodiment of the present invention, wherein those parts corresponding to the parts described previously
30 are designated by the same reference numerals and the description thereof will be omitted.

Referring to FIG.6A, the step of FIG.6A is substantially identical with the step of FIG.5A and

WO 02/17374

PCT/JP01/07061

- 27 -

there is formed a layered body on the Si substrate 10, wherein the Si substrate 10 is covered with the interlayer insulation film 11 that carries thereon the interconnection pattern 12. Further, the SiNCH film 23, the interlayer insulation film 14, the SiNCH film 25, the interlayer insulation film 16 and the SiNCH film 27 are stacked consecutively on the interconnection layer 12. In the present embodiment, a resist pattern 28 is provided on the multilayer interconnection structure wherein the resist pattern 28 includes a resist opening 28A corresponding to the interconnection pattern to be formed in the multilayer interconnection structure.

In the step of FIG.6B, the SiNCH film 27 is subjected to a dry etching process while using the resist pattern 28 as a mask, and there is formed an opening in the SiNCH film 27 in correspondence to the resist opening 28A such that the opening thus formed exposes the interlayer insulation film 16 formed underneath the SiNCH film 27. The interlayer insulation film 16 thus exposed is subsequently subjected to a dry etching process and the opening 16A corresponding to the interconnection groove to be formed is formed in the interlayer insulation film 16 in correspondence to the resist opening 28A so as to expose the underlying SiNCH film 25.

Next, the resist film 28 is removed in the step of FIG.6C and a resist film 29 is formed newly on the structure of FIG.6B such that the resist film 29 fills the opening 16A. Further, the resist film 29 is patterned by a photolithographic process in the step of FIG.6D to form a resist opening 29A in the resist film 29 in correspondence to the contact hole

to be formed in the multilayer interconnection structure.

Next, in the step of FIG.6E, a part of the SiNCH film 25 exposed by the resist opening 29A is subjected to a dry etching process while using the resist pattern 29 as a mask, and there is formed an opening in the SiNCH film 25 in correspondence to the resist opening 29A so as to expose the underlying interlayer insulation film 14. Thereafter, the resist pattern 29 is removed and the interlayer insulation film 14 is subjected to a dry etching process while using the SiNCH films 27 and 25 as a hard mask. As a result, the opening 14A is formed in the interlayer insulation film 14 in correspondence to the resist opening 29A and hence in correspondence to the contact hole of the multilayer interconnection structure to be formed.

The dry etching process for forming the opening 14A stops upon exposure of the SiNCH film 23. After this, the exposed SiNCH films 27, 25 and 23 are removed and the openings 16A and 14A are filled by a conductive layer such as a Cu layer. As a result, the multilayer interconnection structure explained with reference to FIG.6F is obtained.

In the present embodiment, too, it is possible to use any of the inorganic low-dielectric insulation films such as a F-doped SiO₂ film, an HSQ film such as an SiOH film or a porous insulation film, or the organic low-dielectric insulation films such as an organic SOG film or an organic insulation film of aromatic family. As a result, the multilayer interconnection structure of the present embodiment has an advantageous feature of reduced overall

WO 02/17374

PCT/JP01/07061

- 29 -

dielectric constant and the operational speed of the semiconductor device is improved substantially.

In the present embodiment, too, the SiNCH films 23, 25 and 27 are characterized by low specific dielectric constant, excellent adhesion, excellent dry etching resistance, excellent performance of diffusion barrier for Cu and low leakage current. Thus, the SiNCH films of the present invention are ideal for application to a multilayer interconnection structure of high-speed semiconductor devices.

[FIFTH EMBODIMENT]

FIGS. 7A - 7E show the fabrication process of a semiconductor device according to a fifth embodiment of the present invention, wherein those parts corresponding to the parts described previously are designated by the same reference numerals and the description thereof will be omitted.

Referring to FIG. 7A, there is formed a layered structure on the Si substrate 10 similarly to the previous embodiments, wherein the Si substrate 10 carries thereon the interlayer insulation film 11, and the interlayer insulation film 12 carries thereon the interconnection layer 12. On the interconnection layer 12, the SiNCH film 23, the interlayer insulation film 14 and the SiNCH film 25 are stacked consecutively, wherein the SiNCH film 25 carries thereon a resist pattern having a resist opening 41A corresponding to the contact hole to be formed in the multilayer interconnection structure.

The resist opening 41A exposes the SiNCH film 25, and thus, the SiNCH film 25 is subjected to a dry etching process. As a result, there is formed

an opening 25A in the SiNCH film 25 in correspondence to the resist opening 41A.

Next, in the step of FIG.7B, the interlayer insulation film 16 is deposited on the SiNCH film 25 so as to fill the opening 25A, followed by a deposition of the SiNCH film 27 further on the interlayer insulation film 16.

Next, in the step of FIG.7C, a resist film 42 is applied on the SiNCH film 27, wherein the resist film 42 is patterned in the step of FIG.7D by a photolithographic process to form an opening 42A in the resist film 42 in correspondence to the interconnection pattern to be formed in the multilayer interconnection structure.

Next, in the step of FIG.7E, the exposed part of the SiNCH film 27 exposed at the opening 42A is subjected to a dry etching process while using the resist film 42 as a mask, until the underlying interlayer insulation film 16 is exposed.

Next, the interlayer insulation film 16 is subjected to a dry etching process, and the opening 16A is formed in the interlayer insulation film 16 in correspondence to the foregoing resist opening 42A, and hence in correspondence to the interconnection groove to be formed. It should be noted that the dry etching process of the interlayer insulation film 16 stops upon exposure of the SiNCH film 25 in the part where the SiNCH film 25 is formed, while in the part where the opening 25A is formed in the film 25, the dry etching proceeds through the opening 25A into the underlying interlayer insulation film 14 and forms the opening 14A in the interlayer insulation film 14 in correspondence to the foregoing opening 25A and

a multilayer interconnection structure according to a sixth embodiment of the present invention that uses the technology of so-called clustered hard mask, wherein those parts corresponding to the parts described previously are designated by the same reference numerals and the description thereof will be omitted.

In the present embodiment, the SINCH film 23, the interlayer insulation film 14, the SINCH film 25, the interlayer insulation film 16 and the SINCH film 27 are stacked consecutively, similarly to the previous embodiments. Further, an SiO_2 film 43 is formed on the SINCH film 27 by a plasma CVD process or a spin-coating process, and the SiO_2 film 43 thus formed is covered by the resist film 18 that includes the resist opening 18A formed in correspondence to the contact hole to be formed in the multilayer interconnection structure. The SINCH film 27 and the SiO_2 film 43 form together a clustered mask.

In the step of FIG.8A, a dry etching process is applied to the SiO_2 film 43 while using the resist film 18 as a mask, and there is formed an opening in the SiO_2 film 43 in correspondence to the resist opening 18A so as to expose the SINCH film 27 located underneath the SiO_2 film 43. Further, the SINCH film 27 thus exposed is subjected to a dry etching process, and the opening 27A is formed in the SINCH film 27 in correspondence to the resist opening 18A so as to expose the interlayer insulation film 16 as represented in FIG.8B.

In the step of FIG.8B, the resist film 19 having the resist opening 19A in correspondence to the interconnection groove to be formed in the

WO 02/17374

PCT/JP01/07061

- 33 -

multilayer interconnection structure is formed on the SiO₂ film 43 so as to expose the SiO₂ film 43, wherein the SiO₂ film 43 thus exposed is removed by a dry etching process in the step of FIG.8C while using the resist film 19 as a mask. Thereby, it should be noted that the SiNCH film 27 functions as an etching stopper, and as a result, there is formed an opening 43A in the SiO₂ film 43 in correspondence to the resist opening 19A so as to expose the SiNCH film 27.

In the step of FIG.8C, the dry etching of the interlayer insulation film 16 proceeds simultaneously with the dry etching process of the SiO₂ film 43 in the opening 27A, and as a result, the opening 16A corresponding to the opening 17A is formed in the multilayer interconnection structure 16. In this step, the SiNCH film 27 is used as a hard mask. In the opening 16A, the SiNCH film 25 is exposed.

Next, in the step of FIG.8D, the SiNCH film 27 exposed at the opening 43A and the SiNCH film 25 exposed at the opening 16A are removed by a dry etching process, and the interlayer insulation film 16 is exposed at the opening 43A. Similarly, the interlayer insulation film 14 is exposed at the opening 16A.

Next, in the step of FIG.8E, the exposed part of the interlayer insulation film 16 exposed at the opening 43A and the exposed part of the interlayer insulation film 14 exposed at the opening 16A are removed by a dry etching process, and there is formed an opening 16B in the interlayer insulation film 16 in correspondence to the resist opening 19A, and hence in correspondence to the interconnection

groove to be formed. Similarly, the opening 14A is formed in the interlayer insulation film 14 in correspondence to the resist opening 18A, and hence in correspondence to the contact hole to be formed.

Further, the exposed SiNCH films 27, 25 and 23 are removed in the step of FIG.8E, and the openings 16A and 14A are filled with a conductor layer of Cu. Thereby, the multilayer interconnection structure explained with reference to FIG.6F is

obtained.

In the present embodiment, too, the SiNCH films 23, 25 and 27 have preferable feature of low specific dielectric constant, excellent adhesion, excellent dry etching resistance, excellent performance as diffusion barrier of Cu, and low leakage current. Thus, the SiNCH films of the present invention are ideal for use in a multilayer interconnection structure of a high-speed semiconductor device.

[SEVENTH EMBODIMENT]

FIG.9 shows the construction of a semiconductor device 50 according to a seventh embodiment of the present invention.

Referring to FIG.9, the semiconductor device includes a Si substrate 51 carrying active devices not illustrated, wherein the Si substrate 51 carries an insulation film 52 provided so as to cover the active devices. On the insulation film 52, there is formed a first layer interconnection pattern 53A and an interlayer insulation film 53 is formed on the insulation film 52 so as to cover the interconnection pattern 53A. Further, the interlayer

insulation film 53 carries thereon a second layer interconnection pattern 54A and an interconnection pattern 54 is formed on the interlayer insulation film 53 so as to cover the second layer

5 interconnection pattern 54A. The surface of the interlayer insulation film 54 is covered by a silicon nitride passivation film 55.

FIG.10 shows the process of forming the silicon nitride passivation film 55.

10 Referring to FIG.10, the semiconductor device 50 is introduced into a spin coater unit in the step 1 when the interlayer insulation film 54 is formed. Thereby, a spin coating film of an organic silazane compound such as the one having a
15 composition of $((\text{SiH}_2\text{NH}))_n$, n being an integer of 1 or more) is formed on the surface of the interlayer insulation film 54 in correspondence to the passivation film 55. In the step 1, the spin coating film thus formed is subjected to a baking process at
20 a temperature of 100°C or less for removal of solvents, and a stable silicon nitride film is obtained as a result.

On the other hand, the silicon nitride film obtained in the step 1 of FIG.10 inevitably contains
25 oxygen, and thus, the process of the present invention proceeds to the step 2 in which the semiconductor device 50 is incorporated into a plasma processing apparatus such as the plasma CVD apparatus of FIG.2. There, the surface of the silicon nitride
30 film 55 is processed by a plasma gas containing NB_3 , N_2 , H_2 , and the like, and the oxygen in the film is partially substituted with nitrogen. Thereby, the present embodiment carries out the plasma processing

of the step 2 before the polymerization is completed in the spin coating film 55.

As a result of such a plasma processing, the silicon nitride film 55 is converted to a film having a chemical formula represented as SiNCH or SiONCH. The film thus obtained has excellent temperature resistance and resistance against chemicals.

Conventionally, it was possible to obtain an oxynitride film by conducting a thermal processing after the step 1 in an N₂ atmosphere. However, such a process for converting the film has needed a high temperature of 400°C or more. Further, in spite of the use of such a high temperature, the conversion of the film quality was not sufficient.

In the present invention, it should be noted that the plasma processing of the step 2 is conducted before the polymerization reaction in the spin coating film 55 is completed. Thus, it becomes possible to achieve an effective surface modification reaction at low temperature. It should be noted that such a plasma processing may be conducted by using NH₃ and SiH₄ as the plasma gas at the substrate temperature of 350°C or less, while using a plasma power of 100 - 1000 W. It is preferable to set the plasma processing conduction such that the OH groups in the film 55 is decreased and the proportion of the N bond is increased.

In the present embodiment, it should be noted that the baking process of the step 1 is conducted at a temperature of 100°C or less such that the process of the step 2 is conducted before the polymerization reaction is completed in the spin

coating film 55. Further, it is preferable to use a single-wafer processing apparatus such that the step 1 and the step 2 are conducted continuously.

It should be noted that the process of the step 2 is by no means limited to a plasma processing but may be a thermal processing conducted in an atmosphere that contains N or H. For example, it is possible to carry out the thermal processing of the step 2 in an atmosphere containing NH_3 or N_2 and H_2 at the temperature of 400°C or more.

Further, the present invention is not limited to the embodiments described heretofore, but various variations and modifications may be made without departing from the scope of the invention.

15

INDUSTRIAL APPLICABILITY

According to the present invention, it is possible to obtain a silicon nitride film of the SiNCH system by conducting a CVD process of an organic Si compound that contains therein an organic silazane bond under the condition that the organic silazane bond in the CVD source is preserved in the film. The silicon nitride film thus formed is characterized by low density and low specific dielectric constant. Further, the silicon nitride film thus obtained has preferable features of excellent adhesion and etching resistance and performs as an effective diffusion barrier against metal elements such as Cu. It is possible to form a multilayer interconnection structure having a small stray capacitance by using the silicon nitride film of the present invention.

30

CLAIMS

5

1. A method of forming a silicon nitride film, comprising the steps of:

introducing a substrate into a reaction chamber;

10 supplying an organic Si compound having an organic silazane bond therein into said processing chamber as a gaseous source;

depositing an SiNCH film containing Si, N, C and H as primary constituent elements on a surface
15 of said substrate from said gaseous source by a CVD process.

20

2. A method as claimed in claim 1, wherein said organic Si compound has a structural formula of any of $(SiR_1)_nNR_2$, $(SiR_1NR_2)_n$, or $(SiR_1(NR_2)_{1.5})_n$, wherein n is an integer of 1 or more and each of R_1 and R_2
25 may be hydrogen or a group selected from an alkyl group such as methyl group, a cyclic hydrocarbon group such as a phenol group or a vinyl group.

30

3. A method as claimed in claim 1, wherein said CVD process is conducted such that said silazane

WO 02/17374

PCT/JP01/07061

- 39 -

bond in said organic Si compound is substantially preserved in said SiNCH film.

5

4. A method as claimed in claim 1, wherein said step of depositing said SiNCH film includes a plasma polymerization process of said organic Si compound.

10

5. A method as claimed in claim 1, wherein said plasma polymerization process is conducted under a plasma power in which said silazane bond in said organic Si compound is preserved substantially in said SiNCH film.

15
20

6. A method as claimed in claim 1, wherein said step of depositing the SiNCH film is conducted by a pyrolytic polymerization process of said organic Si compound.

25
30

7. A method as claimed in claim 1, wherein said pyrolytic polymerization process is conducted at

a temperature set such that said organic silazane bond in said organic Si compound is substantially preserved in said deposited SINCH film.

5

8. A method as claimed in claim 1, further comprising the step of supplying an additional gaseous source containing N to said organic Si compound, and wherein said step of depositing said SINCH film comprises the steps of forming plasma of said additional gaseous source, and supplying said plasma into said reaction chamber.

15

9. A method of fabricating a semiconductor device, comprising the steps of:
forming an etching stopper film on a substrate;
depositing an interlayer insulation film on said etching stopper film;
25 patterning said interlayer insulation film to form an opening;
etching said interlayer insulation film to form a depression in said interlayer insulation film in correspondence to said opening; and
30 etching said etching stopper film selectively from said opening by an etching process, said step of depositing said etching stopper film comprising the steps of:

WO 02/17374

PCT/JP01/07061

- 41 -

introducing said substrate into a reaction chamber of a processing apparatus;

supplying an organic Si compound containing an organic silazane bond therein into said reaction chamber as a gaseous source; and

depositing an SiNCH film in said processing chamber on a surface of said substrate from said organic Si compound by a CVD process as said etching stopper film.

10

10. A method as claimed in claim 9, wherein said organic Si compound has a structural formula of $(SiR_1)_nNR_2$, $(SiR_1NR_2)_n$ or $(SiR_1(NR_2)_{1.5})_n$, where n is an integer of 1 or more and each of R_1 and R_2 is hydrogen or a group selected from an alkyl group such as methyl group, a cyclic hydrocarbon group such as a phenol group, or a vinyl group.

20

11. A method as claimed in claim 9, wherein said step of depositing said SiNCH film is conducted such that said silazane bond in said organic Si compound is substantially preserved in said SiNCH film.

30

WO 02/17374

PCT/JP01/07061

- 42 -

12. A method as claimed in claim 9, wherein
said step of depositing said SiNCH film includes a
plasma polymerization process of said organic Si
compound.

5

13. A method as claimed in claim 12,
wherein said plasma polymerization process is
conducted under a plasma power in which said silazane
bond in the organic Si compound is preserved
substantially in said SiNCH film.

15

14. A method as claimed in claim 9, wherein
said step of depositing said SiNCH film includes a
thermal polymerization process of said organic Si
compound.

25

15. A method as claimed in claim 14,
wherein said thermal polymerization process is
conducted at a temperature such that said organic
silazane bond in said organic Si compound is
substantially preserved in said deposited SiNCH film.

30

WO 02/17374

PCT/JP01/N7061

- 43 -

16. A method as claimed in claim 9, further comprising the step of supplying an additional gaseous source containing N into said reaction chamber in addition to said organic Si compound, and wherein said step of forming said SiNCH film comprises the steps of forming plasma of said additional gaseous source, and supplying said plasma into said reaction chamber.

10

17. A method as claimed in claim 9, further comprising the steps of depositing a conductor layer on said interlayer insulation film so as to fill said depression via said opening, and removing a part of said conductor layer locating above said interlayer insulation film by a chemical mechanical polishing process.

20

18. A method as claimed in claim 17, wherein said conductor layer comprises a Cu layer.

25

19. A method as claimed in claim 9, wherein said interlayer insulation film comprises any of an organic insulation film or an inorganic insulation film.

30

WO 02/17374

PCT/JP01/N7061

- 44 -

20. A method as claimed in claim 9, wherein said interlayer insulation film comprises any of an organic silicon oxide film or a F-doped SiO₂ film.

5

21. A method as claimed in claim 9, wherein said depression comprises an interconnection groove and a contact hole.

10

22. A silicon nitride film comprising Si, N, C and H as primary constituent elements, said silicon nitride film having an arbitrary atomic group represented as C_nH_m, said atomic group being bonded to a Si atom.

15
20

23. A silicon nitride film as claimed in claim 22, wherein said atomic group is selected from the group consisting of an alkyl group, a cyclic hydrocarbon group and a vinyl group.

25
30

24. A semiconductor device, comprising:
a substrate; and

a multilayer interconnection structure
formed on said substrate,

said multilayer interconnection structure
comprising an etching stopper film, an interlayer
5 insulation film formed on said etching stopper film,
an interconnection groove formed in said interlayer
insulation film, a contact hole formed in said
interlayer insulation film in correspondence to said
interconnection groove, and a conductor pattern
10 filling said interconnection groove and said contact
hole,

wherein said etching stopper film comprises
a SiNCH film and contains therein an arbitrary atomic
group represented as C_nR_m , said arbitrary atomic
15 group being bonded to a Si atom.

20 25. A semiconductor device as claimed in
claim 24, wherein said atomic group is selected from
the group consisting of hydrogen, an alkyl group, a
cyclic hydrocarbon group such as a phenyl group and a
vinyl group.

25

26. A semiconductor device as claimed in
30 claim 24, wherein said SiNCH film contains therein an
organic silazane bond.

WO 02/17374

PCT/JP01/07061

- 46 -

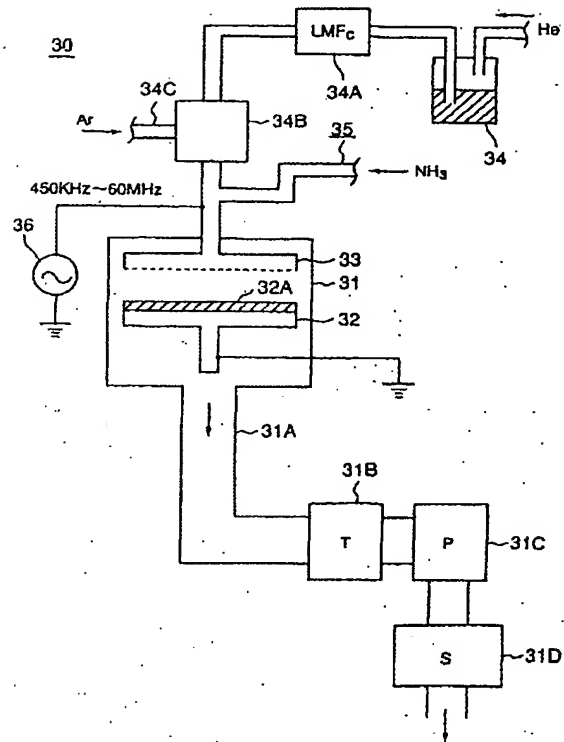
27. A semiconductor device as claimed in claim 26, wherein said SiNCH film contains therein a cyclic silazane bond.

WO 02/17374

PCT/JP01/07063

1/11

FIG. 1



WO 02/17374

PCT/JP01/07061

2/11

FIG. 2A

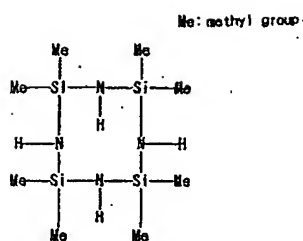
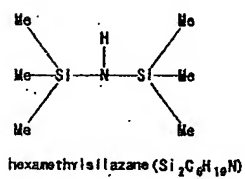


FIG. 2B



WO 02/17374

PCT/JP01/N7061

9/11

FIG. 3A

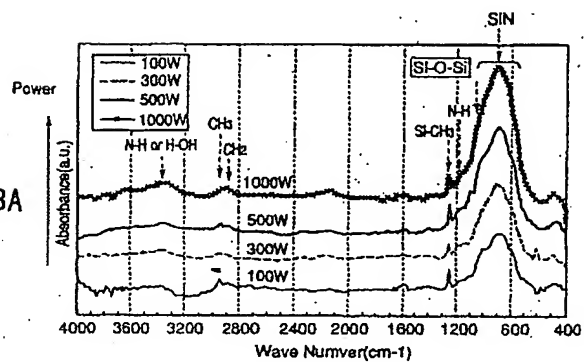
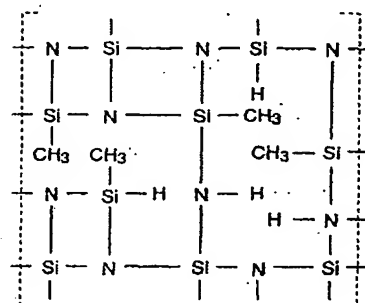


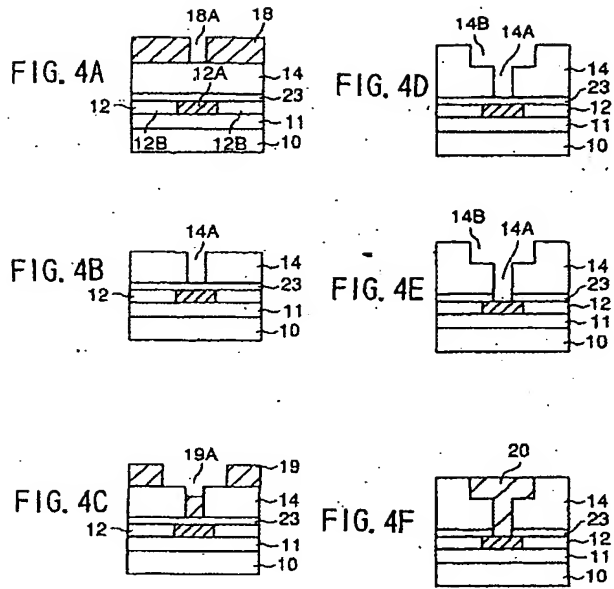
FIG. 3B



WO 02/17374

PCT/JP01/07061

4/11



5/11

FIG. 5A

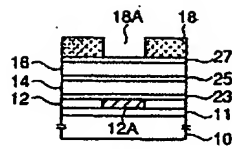


FIG. 5B

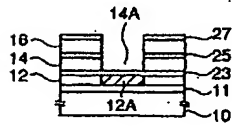


FIG. 5C

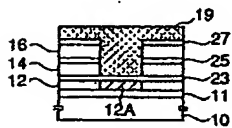


FIG. 5D

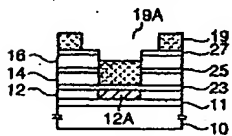
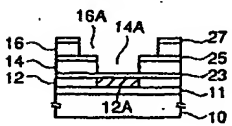


FIG. 5E



WO 02/17374

PCT/JP01/07061

6/11

FIG. 6A

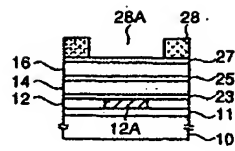


FIG. 6B

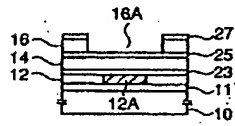


FIG. 6C

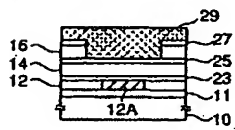


FIG. 6D

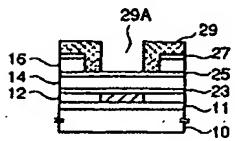
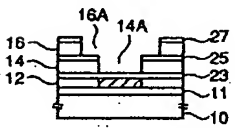


FIG. 6E



WO 02/17374

PCT/JP01/07061

T/11

FIG. 7A

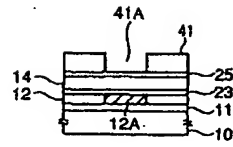


FIG. 7B

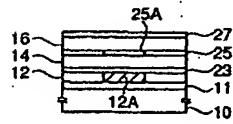


FIG. 7C

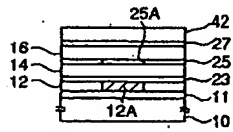


FIG. 7D

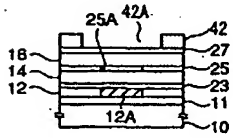
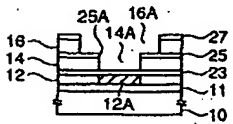


FIG. 7E



WO 02/17374

PCT/JPO1/07061

8/11

FIG. 8A

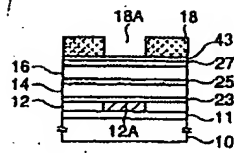


FIG. 8B

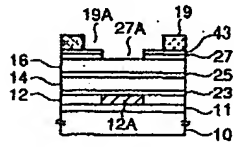


FIG. 8C

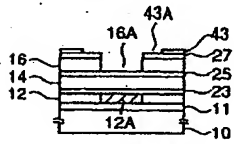


FIG. 8D

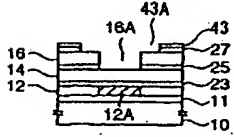


FIG. 8E

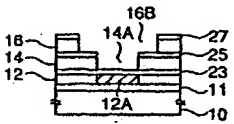
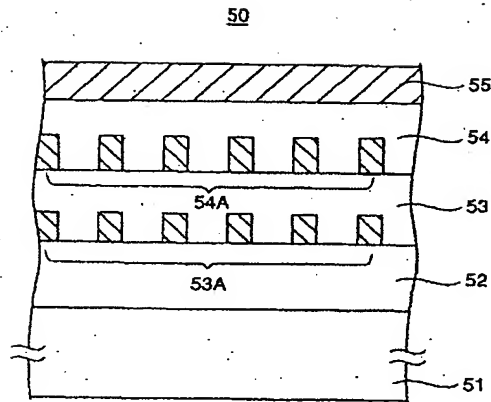
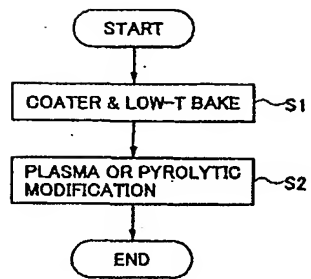


FIG. 9



10/11

FIG.10



WO 02/13374

PCT/JP01/A7061

11/11

FIG. 11A

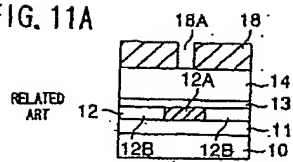


FIG. 11D

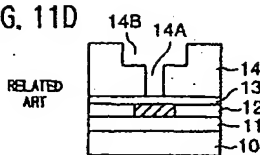


FIG. 11B

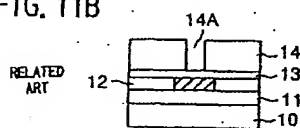


FIG. 11E

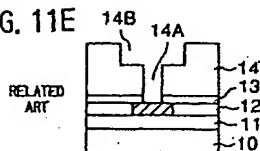


FIG. 11C

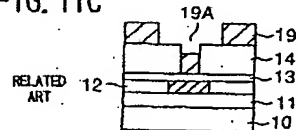
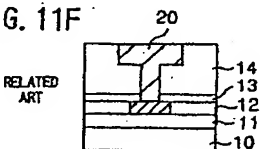


FIG. 11F



【手続補正書】

【提出日】平成14年6月24日(2002.6.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

反応室中に半導体基板を導入する工程と、

前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、

前記反応室中において、前記半導体基板表面に、前記有機Si化合物の気相原料から、Si、N、C、Hを主なる含有元素とするSiNCH膜を、CVD法により堆積する工程とよりなり、

前記CVD工程は前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中において実質的に保たれるような条件下で実行されることを特徴とする窒化ケイ素膜の形成方法

【請求項2】

前記有機Si化合物は、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基あるいはビニル基などより選ばれる基であり、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有することを特徴とする請求項1記載の窒化ケイ素膜の形成方法

【請求項3】

前記SiNCH膜はSi-C結合とSi-N結合とを含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項4】

前記SiNCH膜を堆積する工程は、前記有機Si化合物のプラズマ重合工程を含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項5】

前記プラズマ重合工程は、前記有機Si化合物中の有機シラザン結合が前記窒化ケイ素膜中に実質的に保存されるようなプラズマパワーで実行されることを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項6】

前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程を含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項7】

前記熱重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるような温度で実行されることを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項8】

さらに前記反応室に、前記有機Si化合物のほかに、Nを含む別の気相原料を供給する工程を含み、前記SiNCH膜を堆積する工程は、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とを含むことを特徴とする請求項1記載の窒化ケイ素膜の形成方法。

【請求項9】

基板上にエッチングストッパ膜を形成する工程と、

前記エッチングストッパ膜上に層間絶縁膜を堆積する工程と、

前記層間絶縁膜をパターニングし、開口部を形成する工程とを含む半導体装置の製造方法

において、

前記エッチングストップ膜を堆積する工程は、

前記基板を処理装置の反応室中に導入する工程と、

前記反応室中に、有機シラザン結合を有する有機Si化合物を気相原料として供給する工程と、

前記反応室中において前記基板表面に、前記有機Si化合物の気相原料からSiNCH膜を、前記エッチングストップ膜として、CVD法により堆積する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】

前記有機Si化合物は、R₁、R₂を水素、メチル基などのアルキル基、フェノール基などの環状炭化水素基、ビニル基より選ばれる基であり、nを1以上の整数として、(SiR₁)_nNR₂、(SiR₁NR₂)_nあるいは(SiR₁(NR₂)_{1.5})_nで表される構造式を有することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】

前記SiNCH膜を堆積する工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるように実行されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】

前記SiNCH膜を堆積する工程は、前記有機Si化合物のプラズマ重合工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】

前記プラズマ重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるようなプラズマパワーで実行されることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】

前記SiNCH膜を堆積する工程は、前記有機Si化合物の熱重合工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項15】

前記熱重合工程は、前記有機Si化合物中の有機シラザン結合が前記SiNCH膜中に実質的に保存されるような温度で実行されることを特徴とする請求項14記載の半導体装置の製造方法。

【請求項16】

さらに前記反応室に、前記有機Si化合物のほかに、Nを含む別の気相原料を供給する工程を含み、前記SiNCH膜を堆積する工程は、前記別の気相原料のプラズマを形成する工程と、前記プラズマを前記反応室中に供給する工程とよりなることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項17】

さらに前記層間絶縁膜上に導体層を、前記開口部を介して前記凹部を充填するように形成する工程と、前記導体層のうち、前記層間絶縁膜上に位置する部分を化学機械研磨工程により除去する工程を含むことを特徴とする請求項9記載の半導体装置の製造方法。

【請求項18】

前記導体層はCu層よりなることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】

前記層間絶縁膜は有機あるいは無機絶縁膜よりなることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項20】

前記層間絶縁膜は有機シリコン酸化膜またはF（フッ素）ドーパSiO₂膜よりなることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項21】

前記凹部は配線溝およびコンタクトホールを含むことを特徴とする請求項9記載の半導体

装置の製造方法。

【請求項 22】

基板と、

前記基板上に形成された多層配線構造とよりなる半導体装置であって、

前記多層配線構造は、エッチングストップ膜と、前記エッチングストップ膜上に形成された層間絶縁膜と、前記層間絶縁膜中に形成された配線溝と、前記層間絶縁膜中に前記配線溝に対応して形成されたコンタクトホールと、前記配線溝および前記コンタクトホールを充填する導体パターンとよりなり、

前記エッチングストップ膜は SiNCH 膜よりなり、 C_nH_m で表される任意の原子団を含み、前記任意の原子団は Si 原子に結合されており、

前記 SiNCH 膜は、膜中に環状シラザン結合を有することを特徴とする半導体装置。

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP01/07061
A. CLASSIFICATION OF SUBJECT MATTER Int.Cl. H01L 21/318, 21/768 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L 21/318, 21/768 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Japanese Utility Model Gazette 1918-1998, Japanese Publication of Unexamined Utility Model Applications 1971-1991, Japanese Registered Utility Model Gazette 1994-2001, Japanese Gazette Containing the Utility Model 1996-1998 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 561386 A1 (Applied Materials, Inc.) 5 July, 1995 (05.07.95) line 55, page 2 to line 41, page 5, Figs 2, 4 line 55, page 2 to line 41, page 5, Figs 2, 4 & JP 7-106256 A & US 5508067 A & US 5591494 A	1-8, 22-23 9-21, 24-27
X A	JP 6-244172 A (Toray Industries, Inc.) 2 September, 1994 (02.09.94) Claims, [0009]-[0025] Claims, [0009]-[0025] (Family:none)	22-26 27
H, X	US 2001/30369 A1 (MacNeil) 18 October, 2001 (18.10.01), [0021]-[0042] & JP 2001-244337 A & GB 2361808 A & DE 10101766 A1 & CN 1309418 A	22-25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family member.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "X" earlier application, or patent, published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "T" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is considered with one or more other such documents, such combination being obvious to a person skilled in the art "A" document member of the same patent family		
Date of the actual completion of the international search 07.11.01		Date of mailing of the international search report 20.11.01
Name and mailing address of the ISA/JP Japan Patent Office 1-4-3, Kamazigasaki, Chiyoda-ku, Tokyo 100-8915, Japan Form PCT/ISA/210 (second sheet) (July 1998)		Authorized officer KOICHI KATO Telephone No. +81-3-3581-1101 Ext. 3469

フロントページの続き

(81)指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

Fターム(参考) 5F045 AA08 AB33 AC08 AC15 AC17 AD06 AD07 AD08 AE19 AF03
BB16 DC63 DP03 EE02 EE04 EF05 EH13 EH19
5F058 BA10 BA20 BC08 BC10 BC20 BF07 BF27 BF30 BF37 BF39
BJ02